

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
23. Oktober 2003 (23.10.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 03/088354 A2**(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/00**(21) Internationales Aktenzeichen: **PCT/EP03/03881**(22) Internationales Anmeldedatum:  
15. April 2003 (15.04.2003)(25) Einreichungssprache: **Deutsch**(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:

202 05 830.1	15. April 2002 (15.04.2002)	DE
102 22 958.9	23. Mai 2002 (23.05.2002)	DE
102 22 964.3	23. Mai 2002 (23.05.2002)	DE
102 22 609.1	23. Mai 2002 (23.05.2002)	DE
102 52 787.3	13. November 2002 (13.11.2002)	DE
103 01 559.0	16. Januar 2003 (16.01.2003)	DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
AU, GB, IE, IL, IN, JP, KP, KR, NZ, SG, US, ZA): **SCHOTT  
GLAS** [DE/DE]; Hattenbergstrasse 10, 55122 Mainz (DE).(71) Anmelder (nur für AU, BB, BF, BJ, BZ, CF, CG, CI, CM,  
GA, GB, GD, GE, GH, GM, GN, GQ, GW, IE, IL, IN, KE,  
KG, KP, KR, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW,  
MZ, NE, NZ, SD, SG, SL, SN, SZ, TD, TG, TT, TZ, UG, VN,  
ZA, ZM, ZW): **CARL-ZEISS-STIFTUNG TRADING AS  
SCHOTT GLAS** [DE/DE]; Hattenbergstrasse 10, 55122  
Mainz (DE).(71) Anmelder (nur für BB, BF, BJ, BZ, CF, CG, CI, CM, GA,  
GD, GE, GH, GM, GN, GQ, GW, JP, KE, KG, KZ, LC,LK, LR, LS, MG, ML, MN, MR, MW, MZ, NE, SD, SL, SN,  
SZ, TD, TG, TT, TZ, UG, VN, ZM, ZW): **CARL-ZEISS-  
STIFTUNG** [DE/DE]; 89518 Heidenheim an der Brenz  
(DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **MUND, Dietrich**  
[DE/DE]; Buchenstrasse 9, 84101 Obersüßbach (DE).  
**LEIB, Jürgen** [DE/DE]; Philipp-Dirr-Strasse 44, 85354  
Freising (DE).(74) Anwalt: **HERDEN, Andreas**; Blumbach, Kramer & Part-  
ner GbR, Alexandrastrasse 5, 65187 Wiesbaden (DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,  
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,  
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,  
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,  
MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD,  
SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,  
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),  
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,  
TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,  
DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL,  
PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu ver-  
öffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: **METHOD FOR PRODUCING A COPY PROTECTION FOR AN ELECTRONIC CIRCUIT**(54) Bezeichnung: **VERFAHREN ZUR HERSTELLUNG EINES KOPIERSCHUTZES FÜR EINE ELEKTRONISCHE SCHAL-  
TUNG**

(57) Abstract: The invention relates to a method for producing a copy protection for an integrated circuit. The aim of the invention is to provide an effective and reliable copy protection in order to prevent an unauthorized copying of an integrated circuit. To this end, the invention presents a method comprising the following steps: providing a substrate (1) having semiconductor structures (2) on at least one first side (1a) of the substrate (1); providing a material for coating the substrate (1), and; coating the substrate (1) with a copy protection layer (4). It has been advantageously proven to produce the copy protection layer (4) by vapor depositing a silicate glass so that an etching method, which removes the copy protection layer, also acts upon the substrate (1) whereby at least partially destroying the semiconductor structures (2).

(57) Zusammenfassung: Die Erfindung betrifft Verfahren zur Herstellung eines Kopierschutzes für eine integrierte Schaltung. Um das unberechtigte Kopieren eines integrierten Schaltkreises zu vermeiden, ist es eine Aufgabe der Erfindung einen wirksamen und sicheren Kopierschutz zur Verfügung zu stellen. Es wird ein Verfahren vorgeschlagen, umfassend die Schritte Bereitstellen eines Substrats (1), welches Halbleiterstrukturen (2) auf zumindest einer ersten Seite (1a) des Substrats (1) aufweist, Bereitstellen eines Materials zur Beschichtung des Substrats (1), Beschichten des Substrats (1) mit einer Kopierschutzschicht (4). Es hat sich als besonders vorteilhaft erwiesen, die Kopierschutzschicht (4) durch Aufdampfen eines silikatischen Glases zu erzeugen, da so ein Ätzverfahren, welches die Kopierschutzschicht auflöst, ebenfalls das Substrat (1) derart angreift, dass die Halbleiterstrukturen (2) zumindest teilweise zerstört werden.

WO 03/088354 A2

BEST AVAILABLE COPY

WO 03/088354 A2



*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

## **Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung**

5 Die Erfindung betrifft ein Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung, insbesondere eine integrierte Schaltung und ein elektronisches Bauteil mit einem Kopierschutz.

10 Die Komplexität von elektronischen Schaltungen, insbesondere integrierten Schaltungen wird aufgrund der anhaltenden technischen Weiterentwicklung immer komplizierter. Dies ruft Produktpiraten auf den Plan, welche eine integrierte Schaltung aus dem Gehäuse freilegen, um diese zu analysieren  
15 und die Ergebnisse gegen den Willen des Herstellers zu missbrauchen sowie insbesondere die integrierte Schaltung zu kopieren.

Dieses Problem ist besonders relevant bei elektronischen  
20 Schaltungen, für die ein erhöhtes Geheimhaltungsinteresse seitens des Herstellers besteht, wie z.B. bei Schaltkreisen zur Entschlüsselung von verschlüsselten Signalen, insbesondere für das Bezahlfernsehen (Pay-TV) und Plastik Chipkarten.

25 Zwar werden Chips typischerweise in Gehäusen oder ähnlich gekapselt, doch lassen sich diese mit entsprechenden Mitteln wieder entfernen und bieten daher keinen hinreichenden Schutz vor Missbrauch oder Kopie.

Daher ist es eine Aufgabe der vorliegenden Erfindung ein Verfahren bereitzustellen, welches die Herstellung eines wirksamen und sicheren Kopierschutzes für eine elektronische Schaltung ermöglicht.

Eine weitere Aufgabe der vorliegenden Erfindung ist es ein elektronisches Bauteil mit einem wirksamen Kopierschutz verfügbar zu machen.

Die Aufgabe der Erfindung wird in überraschend einfacher Weise bereits durch den Gegenstand der Ansprüche 1 und 25 gelöst. Weitere Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Für das erfindungsgemäße Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung wird ein Substrat bereitgestellt, welches Halbleiterstrukturen auf einer ersten Seite des Substrats aufweist. Dieses Substrat ist z.B. ein noch nicht in Chips unterteilter Silizium-Wafer mit aufgedruckten Schaltkreisen.

Die elektronische Schaltung umfasst vorzugsweise einen Schaltkreis, eine integrierte Schaltung und/oder einen Sensor.

Weiter werden Materialien zur Beschichtung des Substrats bereitgestellt und das Substrat mit einer oder mehreren Kopierschutzschichten beschichtet. Die Kopierschutzschicht bzw. Kopierschutzschichten erfüllen insbesondere die Funktion eines Schutzes vor dem Ausspähen, Missbrauchen und Kopieren einzelner Halbleiterstrukturen und/oder der gesamten Schaltung. Der Kopierschutz schützt insbesondere Schaltungen mit Halbleiterstrukturen, welche elektronische Entschlüsselungsmittel umfassen, da diese besonders geheimhaltungsbedürftig sind. Ein wichtiger Anwendungsbereich

der Erfindung ist daher der Schutz vor Produktpiraterie und die Entschlüsselung durch unberechtigte Personen von Decodern für den Bezahlrundfunk, insbesondere für das Bezahlfernsehen (Pay-TV) oder bei sicherheitsrelevanten Schaltkreisen auf  
5 Chipkarten.

Eine Beschichtung als Kopierschutz vorzusehen hat den Vorteil, dass sie einerseits einen sehr wirksamen Kopierschutz, bzw. Analyse- oder Ausspähschutz bedeutet und  
10 andererseits einfach auf das Substrat oder den Wafer aufgebracht werden kann.

Darüber hinaus bietet eine Beschichtung einen gleichmäßigen Schutz über den gesamten beschichteten Bereich, was sogar das  
15 Ausspähen von Teilen der Schaltung wirksam verhindern kann.

Insbesondere kann eine Beschichtung auch als Teilschritt im Herstellungsverfahren der Schaltung integriert sein. Dieser Vorteil wirkt sich besonders positiv aus, wenn ohnehin  
20 Beschichtungen, z.B. Passivierungs- oder Stabilisierungsschichten, aufgetragen werden sollen. In diesem Fall können die Kopierschutzschicht bzw. -schichten und eine oder mehrere weitere Beschichtungen, z.B. eine Passivierungs- oder Stabilisierungsbeschichtung in derselben Vorrichtung,  
25 insbesondere Vakuumkammer durchgeführt werden, vorzugsweise ohne, dass das Substrat zwischen den Beschichtungen aus der Vorrichtung entfernt wird, und so ein kosten- und zeitintensiver Umrüstvorgang vermieden werden kann.

Besonders vorteilhaft hinsichtlich der Verfahrensökonomie bei der Herstellung von Halbleiterprodukten ist, dass die  
30 Kopierschutzbeschichtung flächig auf den noch unzerteilten Wafer aufgetragen werden kann, so dass eine Vielzahl von Chips in einem Arbeitsschritt mit dem Kopierschutz versehen  
35 werden können. Dies ist insbesondere bei Chips, welche auf

Wafer-Ebene gehäust werden, dem sogenannten Wafer-Level Packaging (WLP), von Vorteil. Hierbei kann das erfindungsgemäße Verfahren das WLP einerseits ergänzen, andererseits aber sogar zumindest Teilschritte des WLP  
5 ersetzen, nämlich insbesondere wenn die Kopierschutz- oder Ausspähschuttschicht derart ausgebildet ist, dass sie gleichzeitig eine Gehäuse- und/oder eine Stabilisierungsfunktion erfüllt, d.h. ein integraler Bestandteil des Gehäuses ist.

10 Vorzugsweise werden die Halbleiterstrukturen zumindest bereichsweise mittels der Kopierschutzschicht bzw. -schichten abgedeckt, so dass diese ohne Entfernung der Kopierschutzschicht bzw. -schichten nicht zugänglich sind.

15 Dabei werden die Kopierschutzschicht bzw. -schichten bevorzugt dergestalt an das Substrat angepasst, dass ein Ätzverfahren, welches die Kopierschutzschicht bzw. -schichten auflöst, ebenfalls das Substrat derart angreift, dass die  
20 Halbleiterstrukturen zumindest teilweise angelöst, aufgelöst, angegriffen und/oder zerstört werden und/oder die logische Schaltung nach Entfernen der Kopierschicht bzw. -schichten nicht mehr nachempfunden werden kann, so dass ein Ausspäh- oder ein Kopierversuch bei welchem die Kopierschutzschicht  
25 bzw. -schichten abgeätzt werden sollen, zum Scheitern verurteilt ist. Als mögliche Ätzverfahren für die Kopierschutzschicht bzw. -schichten, kommen insbesondere chemisches oder Nassätzen, sowie Trocken- oder Plasmaätzen in Betracht.

30 Vorteilhafterweise ist eine selektive Ablösung der Schutzschichten, ohne die auf dem Substrat oder Wafer vorhandenen Halbleiterstrukturen zu schädigen, somit unmöglich oder zumindest erheblich erschwert. Die Strukturen  
35 können daher nicht ohne weiteres unberechtigt kopiert

werden.

Vorzugsweise enthält mindestens eine Kopierschutzschicht Silizium. Dieses ist hinsichtlich des Ätzverhaltens sehr gut an Substrate mit Halbleiterschichten auf Siliziumbasis angepasst.

Die Kopierschutzschicht bzw. -schichten werden bevorzugt als eine zumindest bereichsweise geschlossene Schicht aufgebracht und sind insbesondere fest, vollständig und/oder flächig mit dem Substrat verbunden und/oder haften auf diesem, so dass auch andere als ätzende Angriffe abgewehrt werden.

Vorzugsweise sind zumindest die Bereiche des Substrats in welchen sich die Halbleiterstrukturen befinden vollständig von der Kopierschutzschicht bzw. den -schichten bedeckt und/oder hermetisch verkapselt.

Die Erfinder haben überraschenderweise festgestellt, dass sich Glas als Material für die Kopierschutzschicht eignet.

Daher wird insbesondere eine Glasschicht auf das Substrat aufgebracht. Dabei wird ein silikatisches Glas, z.B. ein Borosilikatglas, insbesondere mit Anteilen von Aluminiumoxid und/oder Alkalioxid bevorzugt. Als besonders geeignet erwies sich in Versuchen das Aufdampfglas 8329 der Fa. Schott.

Die Kopierschutzschicht, d.h. insbesondere das Glas werden bevorzugt aufgedampft. Das Aufdampfen verursacht vorteilhafterweise eine sehr feste Bindung mit dem Substrat, ohne dass z.B. Klebstoffe notwendig sind.

Diesbezüglich wird auch auf die Anmeldungen DE 202 05 830.1, eingereicht am 15.04.2002, DE 102 22 964.3, eingereicht am 23.05.2002; DE 102 22 609.1, eingereicht am 23.05.2002;

DE 102 22 958.9, eingereicht am 23.05.2002;

DE 102 52 787.3, eingereicht am 13.11.2002;

DE 103 01 559.0, eingereicht am 16.01.2003

desselben Anmelders verwiesen, deren Offenbarungsgehalt

5 hiermit ausdrücklich durch Referenz inkorporiert wird.

Folgende Prozeßparameter für das Aufbringen einer geschlossenen Glasschicht als Kopierschutzschicht sind vorteilhaft:

10

Oberflächenrauigkeit des Substrats: < 50µm

BIAS-Temperatur während der Verdampfung: ≈100°C

Druck während der Verdampfung: 10<sup>-4</sup> mbar

15

Vorteilhaft wird das Abscheiden oder Aufdampfen der Kopierschutzschicht mittels Plasma-Ionen-unterstütztem Aufdampfen (PIAD) durchgeführt. Dabei wird zusätzlich ein Ionenstrahl auf das zu beschichtende Substrat gerichtet. Der Ionenstrahl kann mittels einer Plasmaquelle, beispielsweise durch Ionisation eines geeigneten Gases erzeugt werden. Durch 20 das Plasma erfolgt eine zusätzliche Verdichtung der Schicht sowie die Ablösung lose haftender Partikel auf der Substratoberfläche. Dies führt zu besonders dichten und defektarmen abgeschiedenen Schichten.

25

Die Kopierschutzschicht ist entweder durchsichtig, was für optoelektronische Bauelemente vorteilhaft ist oder undurchsichtig, intransparent, getönt, gefärbt, trübe, mattiert oder ähnlich sichtbehindernd.

30

Silizium als Hauptkomponente von Wafer und Schutzschicht kann im wesentlichen nur durch die gleichen Ätzchemikalien entfernt werden, was die Möglichkeit der selektiven Abätzung nahezu ausschließt. Sogar bei Anwendung von

35 Trockenätzverfahren ist eine Materialkombination von



Silizium-Substrat bzw. -Wafer und Silizium-Glas gegenüber selektiver Ätzung geschützt, da die Information über den Ätzstop nur anhand der Elemente der Halbleiterschicht oder der Glasschicht gewonnen werden kann. Erst nach Erhalt dieser Information, also nach Schädigung der Halbleiterschichten, kann der Ätzprozess gestoppt werden.

Aber auch die Verwendung von Glas für andere als Silizium-Substrate sowie organische und anorganische Halbleiter ist durch die Verwendung entsprechend angepasster Aufdampfgläser möglich.

Vorzugsweise beträgt die Oberflächenrauigkeit des Substrats höchstens 50  $\mu\text{m}$ , 10  $\mu\text{m}$  oder 5  $\mu\text{m}$  und/oder der Wärmeausdehnungskoeffizient des Substrats und des Materials der Kopierschutzschicht, insbesondere des Aufdampfglases stimmen überein.

Gemäß einer bevorzugten Ausführungsform umfasst die Kopierschutzschicht ein zumindest binäres System, vorzugsweise ein Mehrkomponentensystem. Als zumindest binäres System wird dabei ein Material verstanden, welches eine Synthese aus zumindest zwei chemischen Verbindungen darstellt.

Als besonders effektive Aufdampfverfahren für die Kopierschutzschicht haben sich thermische Bedampfung und Elektronenstrahlbedampfung erwiesen. Es werden vorteilhaft hohe Aufdampfraten von mindestens 0,01  $\mu\text{m}/\text{min}$ , 0,1  $\mu\text{m}/\text{min}$ , 1  $\mu\text{m}/\text{min}$ , 2  $\mu\text{m}/\text{min}$  und/oder bis zu 10  $\mu\text{m}/\text{min}$ , 8  $\mu\text{m}/\text{min}$ , 6  $\mu\text{m}/\text{min}$  oder 4  $\mu\text{m}/\text{min}$  erzielt. Das übertrifft bekannte Sputterraten um ein Vielfaches und macht den Einsatz des erfindungsgemäßen Verfahrens zur Herstellung eines Kopierschutzes äußerst interessant. Dadurch lassen sich schnell und effektiv Schichtdicken mit einer Dicke von 0,01

$\mu\text{m}$  bis 1000  $\mu\text{m}$ , vorzugsweise 10  $\mu\text{m}$  bis 100  $\mu\text{m}$  auf das Substrat auftragen. Bisher aufgebrachte Sputterschichten von Einkomponentensystemen (typischerweise  $\text{SiO}_2$ ) besitzen Sputterraten von lediglich wenigen Nanometern pro Minute.

5

Vorzugsweise wird das Beschichten des Substrats mit der Kopierschutzschicht bei einer Bias-Temperatur von unter  $300^\circ\text{C}$ , insbesondere unter  $150^\circ\text{C}$  und besonders bevorzugt im Bereich von  $100^\circ\text{C}$  durchgeführt. Zum Beschichten des Substrats mit der Kopierschutzschicht, insbesondere zum Aufdampfen der Glasschicht hat sich ein Hintergrunddruck von  $10^{-3}$  mbar bis  $10^{-7}$  mbar, insbesondere im Bereich von  $10^{-5}$  mbar bewährt.

10

Gemäß einer bevorzugten Weiterbildung der Erfindung wird zumindest eine weitere Schicht, z.B. eine Glas-, Keramik-, Metall oder Kunststoffschicht, insbesondere als optische und röntgenoptische Schutzschicht und/oder als Schutzschicht gegen kapazitives und induktives Ausspähen aufgebracht, wobei diese Schutzschicht für elektromagnetische Wellen, insbesondere für Röntgenstrahlen im wesentlichen undurchlässig ist, bzw. eine kapazitive und/oder induktive Abschirmung umfasst. Diese Schicht kann sowohl ganzflächig, günstigstenfalls partiell die schützenden Bereiche des Substrates überdecken. Dabei kann die Schutzschicht aber auch derart aufgebracht sein, dass dennoch Signale kontaktlos, insbesondere induktiv oder kapazitiv ein- oder ausgekoppelt werden können.

20

25

Gemäß einer bevorzugten Ausführungsform werden zumindest ein Teil der für die Funktion der Schaltkreise notwendigen Leiterbahnen und/oder passiven Bauelemente in die Schutzschichtenfolge mit eingebaut, so dass bei Entfernung der Schutzschichten die Logik der Schaltkreise nicht mehr oder nur unter erschwerten Bedingungen nachvollziehbar ist.

30

35

Gemäß einer bevorzugten Weiterbildung der Erfindung wird  
zumindest eine weitere Schicht, z.B. eine Glas- oder  
Kunststoffschicht, insbesondere als Passivierungsschicht  
5 und/oder als mechanische Verstärkung auf einer der ersten  
Seite gegenüberliegenden zweiten Seite des Substrats  
aufgebracht. Eine Kombination aus einer Glasschicht mit  
Passivierungsfunktion und einer darauf aufgetragenen  
mechanisch verstärkenden Kunststoffschicht ist von besonderem  
10 Vorteil.

Gemäß einer bevorzugten Ausführungsform wird das  
erfindungsgemäße Verfahren mit einem Verfahren zur Gehäuseung  
von Halbleiterbauteilen kombiniert, bei welchem das Substrat  
15 gedünnt wird, Ätzgruben mit Anschlussstrukturbereichen auf  
der ersten Seite des Substrats als Ätzstop erzeugt werden,  
eine Kunststoffschicht mittels Kunststofflithografie auf eine  
der ersten Seite gegenüberliegende zweite Seite des Substrats  
aufgebracht wird, wobei die Anschlussstrukturbereiche offen  
20 bleiben, Kontakte auf der zweiten Seite durch Beschichten,  
insbesondere Besputtern mit einer leitfähigen Schicht erzeugt  
werden, ein Ball-Grid-Array aufgebracht wird und/oder  
abschließend das Substrat in einzelne Chips zerteilt wird.  
Falls gewünscht, wird die Kunststoffschicht auf der zweiten  
25 Seite vor dem Zerteilen wieder entfernt und/oder werden die  
Ätzgruben mit leitfähigem Material gefüllt.

Gemäß einer weiteren bevorzugten Ausführungsform wird eine  
der ersten Seite gegenüberliegende zweite Seite des Substrats  
30 mit einer 0,01 µm bis 50 µm dicken Glasschicht bedampft und  
unter der Glasschicht befindliche Anschlussstrukturbereiche  
werden, insbesondere mittels Schleifen oder Ätzen,  
freigelegt.

Gemäß einer bevorzugten Weiterentwicklung wird eine der ersten Seite gegenüberliegende zweite Seite des Substrats im Bereich der Anschlussstrukturen mit einer partiell aufgetragenen Kunststoffschicht mittels Lithographie versehen und danach mit einer 0,01 µm bis 50 µm dicken Glasschicht ganzflächig bedampft, deren Stärke die der Kunststoffschicht nicht überschreiten darf. Anschließend können die Anschlussstrukturen durch Ablösen der darüber befindlichen Kunststoffschicht sowie der darauf aufgedampften Glasschicht mittels Lift Off Technik freigelegt werden.

Gemäß einer weiteren Ausführungsform umfasst das Substrat Anschlussstrukturen, welche mit einer strukturierten Deckschicht, insbesondere mittels Kunststofflithografie auf der ersten Seite des Substrats beschichtet werden. Anschließend wird das Beschichten mit der Kopierschutzschicht durchgeführt. Dann wird die Kopierschutzschicht gedünnt, z.B. abgeschliffen oder abgeätzt, zumindest bis die Deckschicht freigelegt ist. Danach wird vorzugsweise die Deckschicht zur Freilegung der Anschlussstrukturen wieder entfernt. Hierdurch können selektiv die Bereiche auf dem Substrat, in denen sich die Halbleiterstrukturen befinden, mit der Kopierschutzschicht geschützt werden, wohingegen die Bereiche in denen sich die Anschlussstrukturen befinden frei kontaktierbar bleiben. Vorzugsweise werden anschließend zur Kontaktierung erhabene Anschlusskontakte, z.B. in Form eines Ball Grid Arrays auf der ersten Seite des Substrats auf den Anschlussstrukturen aufgebracht und elektrisch leitend mit diesen verbunden, was auch als Flip-Chip Technik bezeichnet wird.

Die vorliegende Erfindung steht in Zusammenhang mit den Erfindungen der deutschen Patentanmeldungen DE-102 22 964.3-33, angemeldet am 23.05.02 und DE-102 22 609.1-33, angemeldet am 23.05.02 sowie der

deutschen Gebrauchsmusteranmeldung 202 05 830.1, angemeldet am 15.04.02. Daher wird der Inhalt dieser drei Anmeldungen hiermit durch Referenz vollumfänglich zum Gegenstand dieser Offenbarung gemacht.

5

Im folgenden wird die Erfindung anhand bevorzugter Ausführungsbeispiele und unter Bezugnahme auf die Figuren näher erläutert.

#### 10 Kurzbeschreibung der Figuren

Es zeigen

- Fig. 1a einen Querschnitt durch einen Abschnitt eines  
Wafers mit einer aufgedampften Glasschicht auf der  
15 Oberseite,
- Fig. 1b wie Fig. 1a mit einer weiteren aufgedampften  
Glasschicht auf der Unterseite,
- Fig. 1c wie Fig. 1a mit einer weiteren geschlossenen  
Schutzschicht aus Metall, Keramik, Glas oder  
20 Kunststoff sowie einer abschließenden aufgedampften  
Glasschicht auf der Oberseite
- Fig. 1d wie Fig. 1a mit einer weiteren nicht geschlossenen  
Schutzschicht aus Metall, Keramik, Glas oder  
25 Kunststoff sowie einer abschließenden aufgedampften  
Glasschicht auf der Oberseite
- Fig. 1e wie Fig. 1a mit einer weiteren nicht geschlossenen  
Schutzschicht (Leiterbahnen, passive Bauelemente)  
aus Metall oder Keramik sowie einer abschließenden  
aufgedampften Glasschicht auf der Oberseite
- 30 Fig. 2 einen Waferabschnitt mit Glas und  
Kunststoffschicht,
- Fig. 3 eine Herstellung von Anschlüssen an den Wafer,
- Fig. 4 wie Fig. 3 mit einer Kunststoff-Passivierung der  
Waferunterseite,

- Fig. 5 eine Beschichtung der Waferunterseite mit Aufdampfglas,
- Fig. 6 ein Anbringen eines Ball Grid Arrays an den Wafer aus Fig. 5,
- 5 Fig. 7a eine weitere Anbringungsart des Ball Grid Arrays an den Wafer,
- Fig. 7b wie Fig. 7a mit einer Kunststoffschicht auf der Unterseite des Wafers,
- Fig. 8 eine Kapselung der Unterseite eines Wafers,
- 10 Fig. 8a eine weitere Kapselung der Unterseite eines Wafers,
- Fig. 9 ein Anbringen von Ball Grid Arrays am Wafer aus Fig. 8 oder Fig. 8a,
- Fig. 10 ein Schema einer Verdampfungsanordnung,
- Fig. 11 einen Querschnitt durch einen Waferabschnitt mit einer Kunststoffschicht und einer geschlossenen Glasschicht auf der Oberseite,
- 15 Fig. 11a einen Querschnitt durch einen Waferabschnitt mit einer Kunststoffschicht und einer strukturierten Glasschicht auf der Oberseite
- 20 Fig. 12 den Waferabschnitt aus Fig. 11 nach Abschleifen der Glasschicht und/oder Entfernen der Kunststoffschicht mittels Lift Off Technik,
- Fig. 13 den Waferabschnitt aus Fig. 12 nach Aufbringen eines Ball Grid Arrays,
- 25 Fig. 14 eine schematische Schnittdarstellung einer weiteren Ausführungsform der Kopierschutzschicht mit Bereichen, die ein unterschiedliches Ätzverhalten besitzen,
- Fig. 15 Ergebnisse einer TOF-SIMS-Messung und
- 30 Fig. 16 eine schematische Darstellung eines Wafers mit Lochmaske für einen Dichtigkeitstest.

#### Detaillierte Beschreibung der Erfindung

Fig. 10 zeigt die Anordnung eines Substrats 1 zu einer Aufdampfglasquelle 20. Diese besteht aus einem Elektronenstrahlerzeuger 21, einer Strahlumlenkeinrichtung 22 und einem Glastarget 23, das von einem Elektronenstrahl 24 getroffen wird. An der Auftreffstelle des Elektronenstrahls verdampft das Glas und schlägt sich an der ersten Seite 1a des Substrats 1 nieder. Um das Glas des Targets 23 möglichst gleichmäßig verdampfen zu lassen, wird das Target gedreht und der Strahl 24 gewobbel.

Wegen näherer Einzelheiten des möglichen Substrats 1 wird Bezug auf Fig. 1a und 1b genommen. Ein Siliziumwafer als das Substrat 1 weist Bereiche 2 mit Halbleiterstrukturen sowie Bereiche 3 mit Anschlußstrukturen auf, die hier als Bond Pad, beispielsweise aus Aluminium, ausgebildet sind. Der Siliziumwafer stellt ein Substrat mit einer Oberflächenrauigkeit  $< 5\mu\text{m}$  dar. Die Oberseite 1a des Substrats liegt der Unterseite 1b gegenüber. Auf die Oberseite 1a ist eine Glasschicht 4 als Kopierschutzschicht niedergeschlagen worden, die vorzugsweise aus dem Aufdampfglas des Typs 8329 der Firma Schott gewonnen wurde. Dieser Glastype kann durch Einwirkung des Elektronenstrahls 24 weitgehend verdampft werden, wobei man in evakuierter Umgebung mit  $10^{-4}$  mbar Restdruck und einer BIAS Temperatur während der Verdampfung von  $100^\circ\text{C}$  arbeitet. Unter diesen Bedingungen wird eine dichte geschlossene Glasschicht 4 erzeugt, die weitgehend gegenüber Gasen und Flüssigkeiten, auch Wasser, dicht ist, jedoch Licht durchlässt, was im Falle von elektrooptischen Bauteilen wichtig ist.

Die Unterseite 1b des Wafers steht für weitere Bearbeitungsschritte zur Verfügung, welche das Nass-, Trocken- und Plasmaätzen bzw. -reinigen umfassen.

Fig. 1b zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen Glasschicht 14, welche auf die Unterseite 1b aufgedampft ist.

5

Fig. 1c zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen geschlossenen Schutzschicht 4a, umfassend oder bestehend aus Metall, Keramik, Glas oder Kunststoff sowie einer weiteren abschließenden aufgedampften Glasschicht 4 auf der Oberseite.

10

Fig. 1d zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen, lediglich abschnittsweise geschlossenen bzw. nicht geschlossenen Schutzschicht 4b, umfassend oder bestehend aus Metall, Keramik, Glas oder Kunststoff. Die Schutzschicht 4b deckt wichtige Bereiche des Substrates, genauer die Bereiche 2 mit Halbleiterstrukturen ab. Die Bereiche 3 mit Anschlussstrukturen sind nicht abgedeckt. Auf der Oberseite der Schutzschicht 4b ist eine weitere abschließende Glasschicht 4 aufgedampft.

15

20

Fig. 1e zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen nicht geschlossenen Schutzschicht 4c, umfassend oder bestehend aus Metall oder Keramik. Die Schutzschicht 4c enthält zusätzlich Leiterbahnen und/oder passive Bauelemente wie Widerstände, Kondensatoren, Varistoren, Spulen oder ähnliches. Auf der Oberseite der Schutzschicht 4b ist eine weitere abschließende Glasschicht 4 aufgedampft.

25

30

Fig. 2 zeigt eine mehrschichtige Deckschicht des Substrats 1, die in diesem Ausführungsbeispiel aus einer Glasschicht 14 und einer Kunststoffschicht 5 auf der Unterseite 1b besteht. Die Glasschicht 14 hat eine Dicke im Bereich von 0,01 bis 50 µm, was für die Abkapselung bzw. den hermetischen

35



Abschluss genügt, während die Kunststoffschicht 5 dicker ist, um dem Wafer als Werkstück größere Stabilität für nachfolgende Bearbeitungsschritte zu verleihen.

- 5 Alternativ oder zusätzlich kann in gleicher Weise auch eine Kunststoffschicht auf die Glasschicht 4 auf der Oberseite aufgebracht werden, so dass dort eine entsprechende mehrschichtige Deckschicht aufgebracht ist.
- 10 In Fig. 3 ist die weitere Bearbeitung eines Wafers angedeutet. Der Wafer wird an der Unterseite gedünnt und es werden Ätzgruben 6 erzeugt, die bis zu den Anschlussstrukturbereichen 3 reichen, welche als Ätzstop wirken. Die Waferunterseite 1b wird mit einer
- 15 Kunststofflithographie versehen, wobei die Bereiche mit den Anschlussstrukturen 3 offen bleiben. Es werden nunmehr Leitungskontakte 7 auf der Unterseite erzeugt, was beispielsweise durch Besprühen oder Besputtern geschieht, wodurch leitfähige Schichten 7 im Bereich der Ätzgruben 6
- 20 erzeugt werden. Nunmehr wird der bei der Lithographie verwendete Kunststoff von der Waferunterseite 1b entfernt. Alsdann wird ein Ball Grid Array 8 an den leitfähigen Schichten 7 angebracht und der Wafer wird entlang von Ebenen 9 aufgetrennt. Es entstehen eine Mehrzahl von elektronischen
- 25 Bauteilen, deren Halbleiterstrukturen 2 sicher zwischen der Kopierschutzschicht 4 und dem Substrat 1 eingebettet und hermetisch verschlossen ist.

- Fig. 4 zeigt eine Abwandlung der Ausführungsform der Fig. 3.
- 30 Es werden die gleichen Verfahrensschritte wie zuvor ausgeführt, jedoch wird der Kunststoff an der Waferunterseite 1b nicht entfernt und bedeckt die Unterseite als Passivierungs- und Schutzschicht 10.

Fig. 5 zeigt eine Ausführungsform, bei der anstelle der Kunststoffschicht 10 eine aufgedampfte Glasschicht 11 auf der Unterseite 1b des Substrats aufgebracht werden soll. Wie bei der Ausführungsform der Fig. 3 wird der zur Lithographie verwendete Kunststoff an der Waferunterseite 1b entfernt und die gesamte Waferunterseite 1b wird mit dem Glas bedampft, so dass eine 0,01 bis 50µm starke Glasschicht 11 entsteht.

Wie bei 11b dargestellt, bedeckt diese Glasschicht auch die nach außen ragenden Teile der Leitungskontakte 7. Zum Anbringen eines Ball Grid Arrays 8 werden diese Bereiche 11b durch Wegschleifen und / oder Wegätzen freigelegt. Danach werden die Ball Grid Arrays angebracht, wie Fig. 6 zeigt, und es erfolgt eine Auftrennung des Wafers zur Bildung einzelner Bauteile, wie bei 9 angedeutet. Die empfindlichen Halbleiterstrukturen 2 sind nach oben und nach unten jeweils durch eine Glasschicht 4 bzw. 11 mechanisch geschützt. Die Glasschicht 4 verkörpert gleichzeitig die Kopierschutzschicht.

Bei einer weiteren Ausführungsform der Erfindung wird der Wafer an Trennebenen 9, die nicht durch die Anschlussstrukturbereiche verlaufen, aufgetrennt. Dies hat den Vorteil, dass auch ein seitlicher Passivierungsschutz für die Bauteile gewährleistet werden kann. Fig. 7a zeigt ein Beispiel der Auftrennung, bei welchem nur Material der Deckschicht 4 und des Substrats 1 betroffen ist. Es wird zunächst wie bei den zuvor beschriebenen Ausführungsbeispielen vorgegangen, d.h. der Wafer wird von der Unterseite gedünnt und es werden Ätzgruben 6 erzeugt, die bis zur Unterseite der Anschlussstrukturbereiche 3 reichen. Die Waferunterseite 1b wird lithographiert, wobei die Bond Pad-Bereiche offen bleiben. Die Leitungskontakte 7 werden im Bereich der Ätzgruben 6 erzeugt, wobei die Ätzgruben außerdem mit leitfähigem Material 12 gefüllt werden. Hier kommt die

galvanische Verstärkung durch Ni(P) in Betracht. Nachdem der Kunststoff an der Waferunterseite entfernt worden ist, werden die Ball Grid Arrays 8 angebracht. Danach erfolgt die Auftrennung des Wafers entlang von Ebenen 9. Man erhält elektronische Bauteile mit hermetisch eingeschlossenen Halbleiterstrukturen 2.

Alternativ kann auf das Entfernen der Kunststoffschicht verzichtet werden, so dass diese als Schutzschicht auf der Unterseite 1b bestehen bleibt, wie in Fig. 7b gezeigt ist.

Fig. 8, 8a und 9 zeigen Ausführungsbeispiele mit der Erzeugung einer unterseitigen Glasschicht 11. Es wird analog zur Ausführungsform der Fig. 5 in Verbindung mit Fig. 7 vorgegangen, d.h. es werden gefüllte Anschlussstrukturbereiche erzeugt und die gesamte Unterseite 1b des Wafers wird mit der Glasschicht 11 beschichtet. Anschließend wird die Glasschicht im Bereich der Ätzgruben 6 mittels Schleifen oder Ätzen wie in Fig. 8 dargestellt oder durch Ablösen der zuvor durch Lithographie im Bereich der Ätzgruben aufgebraachten Kunststoffschicht 15 mittels Lift Off Technik wie in Fig. 8a dargestellt, entfernt, um darauf die Ball Grid Arrays anzubringen, wie in Fig. 9 dargestellt. Nach Auftrennung entlang der Ebenen 9 werden Bauteile mit gekapselten Halbleiterstrukturen 2 erzielt.

Das Glassystem der Schicht 4 und/oder 11 stellt ein zumindest binäres System dar. Bevorzugt wird ein Mehrkomponentensystem.

Als besonders geeignet hat sich das Aufdampfglas Typ 8329 der Firma Schott erwiesen, welches folgende Zusammensetzung in Gewichtsprozent aufweist:

Komponenten	Gew %
-------------	-------

	SiO <sub>2</sub>	75 - 85
	B <sub>2</sub> O <sub>3</sub>	10 - 15
	Na <sub>2</sub> O	1 - 5
	Li <sub>2</sub> O	0,1 - 1
5	K <sub>2</sub> O	0,1 - 1
	Al <sub>2</sub> O <sub>3</sub>	0,1 - 1

Der elektrische Widerstand beträgt ungefähr  $10^{10} \Omega/\text{cm}$   
(bei 100°C),

- 10 der Brechungsindex etwa 1,470,  
die Dielektrizitätskonstante  $\epsilon$  etwa 4,7 (bei 25°C, 1MHz)  
tan  $\delta$  etwa  $45 \times 10^{-4}$  (bei 25°C, 1 MHz).

- 15 Zur Erzielung besonderer Eigenschaften der Bauteile kann es  
zweckmäßig sein, Gläser unterschiedlicher  
Glaszusammensetzungen für die Glasschichten der Oberseite und  
der Unterseite zu verwenden. Es ist auch möglich, mehrere  
Gläser mit unterschiedlichen Eigenschaften, z.B. hinsichtlich  
Brechungsindex, Dichte, E-Modul, Knoop Härte,  
20 Dielektrizitätskonstante, tan  $\delta$  nacheinander auf das Substrat  
aufzudampfen.

- Anstelle der Elektronenstrahlverdampfung können auch andere  
Mittel zur Überführung von Materialien, die sich als Glas  
25 niederschlagen, angewendet werden. Das Verdampfungsmaterial  
kann sich beispielsweise in einem Tiegel befinden, der durch  
eine Elektronenstoßheizung aufgeheizt wird. Eine solche  
Elektronenstoßheizung beruht auf der Emission von  
Glühelktronen, die auf den Tiegel hin beschleunigt werden,  
30 um mit vorbestimmter kinetischer Energie auf das zu  
verdampfende Material aufzutreffen. Auch mit diesen Verfahren  
lassen sich Glasschichten erzeugen, ohne das Substrat, auf  
dem sich das Glas niederschlägt, allzu stark thermisch zu  
belasten.

Die Fig. 11, 11a und 12 zeigen eine weitere Ausführungsform der Erfindung. Hierbei sind auf der Unterseite 1b des Substrats 1 eine Glasschicht 14 und eine Kunststoffschicht 5 aufgebracht.

Bezugnehmend auf Fig. 11 werden auf der Oberseite 1a des Substrats 1 mittels Kunststofflithografie die Anschlussstrukturenbereiche Bereiche 3 mit einer strukturierten Kunststoffschicht oder Deckschicht 15 selektiv bedeckt. Die Bereiche mit den Halbleiterstrukturen 2 bleiben frei. Danach wird die Oberseite des Substrats mit einer Glas-Kopierschutzschicht 4 bedampft. Anschließend wird die Kunststoffschicht 15 weggeschliffen oder weggeätzt. Nun wird die Kunststoffschicht 15 an der Oberseite 1a selektiv entfernt.

Eine weitere Möglichkeit der Strukturierung zeigt Fig. 11a, in der analog der Fig. 11 mittels Kunststofflithographie die Substratoberseite partiell mit Kunststoff bedeckt wird. In der nun folgenden Glasbedampfung überschreitet die Schichtdicke des aufgedampften Glases nicht die Schichtdicke der Kunststoffschicht. In einem nachfolgenden Prozessschritt kann nun mittels Lift Off Technik die Kunststoffschicht sowie die darauf befindlichen Glasschicht abgelöst werden.

Wie in Fig. 12 gezeigt ist, entsteht durch die Prozessierung analog Fig. 11 oder Fig. 11a ein Wafer, bei welchem die Halbleiterstrukturen 2 mit Glas beschichtet sind, während die Anschlussbereiche 3 freiliegen.

Bezugnehmend auf Fig. 13, welche eine besondere Ausführungsform für die Flip Chip Technik darstellt, werden an der Oberseite des Wafers auf den Anschlussbereichen 3 Ball Grid Arrays 18 aufgebracht.

Schließlich wird der Wafer zu hermetisch dichten Schaltungen zerteilt (sogenanntes dicing) und man erhält kopiergeschützte Chips.

5

Bezugnehmend auf Fig. 14 ist eine Kopierschutzschicht 4 dargestellt, welche lateral mehrere Abschnitte umfasst, wobei zumindest zwei Abschnitte eine unterschiedliche Ätzresistenz aufweisen. In diesem Beispiel umfasst die Kopierschutzschicht einen ersten Abschnitt 4a aus einem ersten Material und einen lateral benachbarten zweiten Abschnitt 4b aus einem zweiten Material, wobei das erste und zweite Material unterschiedliche Ätzraten aufweisen. Z.B. umfasst das erste Material  $\text{SiO}_2$  und das zweite Material das Aufdampfglas 8329 oder G018-189 der Firma Schott.

15

Ferner weisen der erste und zweite Abschnitt 4a, 4b unterschiedliche Dicken auf. An einer Seite der Kopierschutzschicht 4 ist darüber hinaus eine Metallschicht 30 angeordnet. Weiter befindet sich die Metallschicht 30 zwischen der Kopierschutzschicht 4 und einer weiteren Kopierschutzschicht 4'.

20

Dadurch wird vorteilhafter Weise bei einem Ätzangriff zumindest ein Teil der Halbleiterstrukturen 2, z.B. der unter dem ersten Abschnitt 4a befindliche Teil 2a zerstört, selbst wenn es gelingen sollte, den zweiten Abschnitt 4b unter Erhalt des darunter befindlichen Teils 2b der Halbleiterstrukturen zu entfernen.

30

Im Folgenden sind Ergebnisse verschiedener Untersuchungen an einer Kopierschutzschicht aus dem Glas 8329 dargestellt.

35

Bezugnehmend auf Fig. 15 sind die Ergebnisse einer TOF-SIMS-Messung gezeigt, wobei die Zählrate als Funktion der

Sputterzeit aufgetragen ist. Die Messung charakterisiert den Verlauf der Elementkonzentrationen der Kopierschutzschicht. Es wurde eine Dickenkonstanz für die Kopierschutzschicht von  $< 1 \%$  der Schichtdicke ermittelt.

5

Darüber hinaus wurden Dichtigkeitstests der Kopierschutzschicht aus dem Glas 8329 wie folgt durchgeführt.

Es wurde ein Silizium-Wafer mit einer Ätzstopmaske versehen.

10

Wie in Fig. 16 dargestellt ist, wurde der Wafer 97 in neun Lochareale 98 (1 cm x 1 cm) untergliedert. Der Einzellochabstand in den Arealen wurde von Reihe zu Reihe wie folgt verändert.

1. Reihe: 1mm Lochabstand

15

2. Reihe: 0,5mm Lochabstand

3. Reihe: 0,2mm Lochabstand

Alle quadratischen Löcher 99 besitzen eine Kantenlänge von 15  $\mu\text{m}$ .

20

Nach Beschichten der nicht strukturierten Waferrückseite mit einer 8 $\mu\text{m}$  (Probe A) bzw. 18 $\mu\text{m}$  (Probe B) Schicht aus dem Glas 8329, wurde anschließend der Wafer in den Lochflächen bis zum Glas trockengetätzt. Der Erfolg des Ätzens konnte gut im Durchlichtmikroskop beobachtet werden.

25

Ein Helium Lecktest ergab bei allen 18 gemessenen Arealen eine Leckrate von kleiner als  $10^{-8}$  mbar l/sec.

Erstaunlich ist auch die hohe Festigkeit der

30

Glasschichtbereiche trotz erheblicher Durchwölbung des Wafers während der Messung im jeweiligen Messareal. Auch nach einer Temperung bei 200°C stellte sich keine Veränderung der Glasstruktur ein.

Ferner wurden Beständigkeitsmessungen der Kopierschutzschicht nach DIN/ISO durchgeführt. Die Ergebnisse sind in Tabelle 1 wiedergegeben.

5 Tabelle 1:

Probenbezeichnung: 8329			
<u>Wasser DIN ISO 719</u> Klasse	Verbrauch HCl [ml/g]	Äquivalent Na <sub>2</sub> O [µg/g]	Bemerkungen
HGB 1	0,011	3	keine
<u>Säure DIN 12116</u> Klasse	Abtrag [mg/dm <sup>2</sup> ]	Gesamt-Oberfläche [cm <sup>2</sup> ]	Bemerkungen/ sichtbare Veränderungen
1 W Als Werkstoff	0,4	2 x 40	unverändert
<u>Lauge DIN ISO 695</u> Klasse	Abtrag [mg/dm <sup>2</sup> ]	Gesamt-Oberfläche [cm <sup>2</sup> ]	Bemerkungen/ sichtbare Veränderungen
A 2 Als Werkstoff	122	2 x 14	unverändert

10 Es ist für den Fachmann offensichtlich, dass die Erfindung nicht auf die beschriebenen Ausführungsbeispiele beschränkt ist und dass Merkmale aus verschiedenen Ausführungsbeispielen kombiniert werden können, ohne den Geist der Erfindung zu verlassen.



Patentanprüche

1. Verfahren zur Herstellung eines Kopierschutzes für eine  
5 elektronische Schaltung, umfassend die Schritte  
Bereitstellen eines Substrats (1), welches  
Halbleiterstrukturen (2) auf zumindest einer ersten Seite  
(1a) des Substrats (1) aufweist,  
Bereitstellen eines Materials (23) zur Beschichtung  
10 des Substrats (1),  
Beschichten des Substrats (1) mit einer  
Kopierschutzschicht (4).
2. Verfahren nach Anspruch 1,  
15 dadurch gekennzeichnet, dass  
die Halbleiterstrukturen (2) zumindest bereichsweise  
mittels der Kopierschutzschicht (4) abgedeckt werden und  
wobei die Kopierschutzschicht (4) dergestalt an das  
Substrat (1) angepasst wird, dass ein Ätzverfahren,  
20 welches die Kopierschutzschicht (4) auflöst, ebenfalls  
das Substrat (1) derart angreift, dass die  
Halbleiterstrukturen (2) zumindest teilweise zerstört  
werden.
3. Verfahren nach Anspruch 1 oder 2,  
25 dadurch gekennzeichnet, dass  
das Substrat (1) eine Halbleiterschicht aus Silizium  
umfasst und die Kopierschutzschicht (4) Silizium enthält.
4. Verfahren nach einem der vorstehenden Ansprüche,  
30 dadurch gekennzeichnet, dass  
eine geschlossene Schicht als Kopierschutzschicht (4)  
aufgebracht wird.

5. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) Glas, insbesondere  
silikatisches Glas umfasst.
- 5 6. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) ein Borosilikatglas mit  
Anteilen von Aluminiumoxid und Alkalioxid umfasst.
- 10 7. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) aufgedampft wird.
- 15 8. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) ein zumindest binäres System  
umfasst.
- 20 9. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) eine Abschirmung gegen  
elektromagnetische Wellen umfasst.
- 25 10. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) durch thermische Bedampfung  
oder durch Elektronenstrahlbedampfung aufgedampft wird.
- 30 11. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) mit einer Dicke von 0,01 bis  
1000 µm auf das Substrat (1) aufgebracht wird.

12. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
das Beschichten des Substrats (1) mit der  
Kopierschutzschicht (4) bei einer Bias-Temperatur von  
5 unter 300° C durchgeführt wird.

13. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
das Beschichten des Substrats (1) mit der  
10 Kopierschutzschicht (4) bei einem Druck von  $10^{-3}$  mbar bis  
 $10^{-7}$  mbar durchgeführt wird.

14. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
15 eine Glasschicht (14) auf eine der ersten Seite (1a)  
gegenüberliegende zweite Seite (1b) des Substrats (1)  
aufgebracht wird.

15. Verfahren nach einem der vorstehenden Ansprüche,  
20 dadurch gekennzeichnet, dass  
eine Kunststoffschicht (5) auf eine der ersten Seite (1a)  
gegenüberliegende zweite Seite (1b) des Substrats (1)  
aufgebracht wird.

25 16. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
das Substrat (1) gedünnt wird,  
Ätzgruben (6) mit Anschlussstrukturbereichen (3) auf  
der ersten Seite (1a) des Substrats (1) als Ätzstop  
30 erzeugt werden,  
eine Kunststoffschicht (10) mittels  
Kunststofflithografie auf eine der ersten Seite (1a)  
gegenüberliegende zweite Seite (1b) des Substrats (1)  
aufgebracht wird, wobei die Anschlussstrukturbereiche (3)  
35 offen bleiben,

Kontakte (7) auf der zweiten Seite (1b) durch Beschichten mit einer leitfähigen Schicht erzeugt werden, ein Ball-Grid-Array (8) aufgebracht wird und das Substrat (1) in einzelne Chips zerteilt wird.

5

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die Kunststoffschicht (10) auf der zweiten Seite (1b) wieder entfernt wird,

10

18. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass eine der ersten Seite (1a) gegenüberliegende zweite Seite (1b) des Substrats (1) mit einer 0,01 µm bis 50 µm dicken Glasschicht (11) bedampft wird und unter der Glasschicht (11) befindliche Anschlussstrukturbereiche (7) mittels Schleifen oder Ätzen freigelegt werden.

15

19. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass Ätzgruben (6) mit leitfähigem Material gefüllt werden.

20

20. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass

25

das Substrat (1) Anschlussstrukturen umfasst, welche mit einer strukturierten Deckschicht (15) beschichtet werden, bevor das Beschichten mit der Kopierschutzschicht (4) durchgeführt wird,

30

die Kopierschutzschicht (4) gedünnt wird, zumindest bis die Deckschicht (15) freigelegt ist und die Deckschicht (15) zur Freilegung der Anschlussstrukturen (3) entfernt wird.

21. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
zumindest Abschnitte einer Deckschicht (15) und zumindest  
Abschnitte der Kopierschutzschicht (4) mittels Lift Off  
5 Technik entfernt werden.

22. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
ein Ball Grid Array (18) auf der ersten Seite (1a) des  
10 Substrats auf (1) Anschlussstrukturen (3) aufgebracht  
wird.

23. Verfahren nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, dass  
15 die Halbleiterstrukturen (2) elektronische  
Entschlüsselungsmittel umfassen.

24. Elektronisches Bauteil, herstellbar mit einem Verfahren  
nach einem der vorstehenden Ansprüche.

25. Elektronisches Bauteil mit einem Kopierschutz, umfassend  
eine elektronische Schaltung auf einem Substrat (1)  
mit Halbleiterstrukturen (2) auf einer ersten Seite (1a)  
des Substrats (1) und  
25 eine Kopierschutzschicht (4).

26. Elektronisches Bauteil nach Anspruch 24 oder 25,  
dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) ein erstes Material enthält,  
30 wobei die Halbleiterstrukturen (2) zumindest  
bereichsweise von der Kopierschutzschicht (4) abgedeckt  
sind, die Kopierschutzschicht (4) fest mit dem Substrat  
(1) verbunden ist und das erste Material derart bestimmt  
ist, dass ein Ätzverfahren, welches die  
35 Kopierschutzschicht auflöst, ebenfalls das Substrat

derart angreift, dass die elektronische Schaltung zerstört wird.

- 5 27. Elektronisches Bauteil nach einem der Ansprüche 24 bis 26, dadurch gekennzeichnet, dass das Substrat (1) eine Halbleiterschicht aus Silizium umfasst und die Kopierschutzschicht (4) Silizium enthält.
- 10 28. Elektronisches Bauteil nach einem der Ansprüche 24 bis 27, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) eine geschlossene Schicht umfasst.
- 15 29. Elektronisches Bauteil nach einem der Ansprüche 24 bis 28, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) Glas, insbesondere silikatisches Glas umfasst.
- 20 30. Elektronisches Bauteil nach einem der Ansprüche 24 bis 29, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein Borosilikatglas mit Anteilen von Aluminiumoxid und Alkalioxid umfasst.
- 25 31. Elektronisches Bauteil nach einem der Ansprüche 24 bis 30, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) aufgedampft ist.
- 30 32. Elektronisches Bauteil nach einem der Ansprüche 24 bis 31, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein binäres System umfasst.
- 35 33. Elektronisches Bauteil nach einem der Ansprüche 24 bis 32, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) eine Abschirmung gegen elektromagnetische Wellen umfasst.

34. Elektronisches Bauteil nach einem der Ansprüche 24 bis  
33, dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) durch thermische Bedampfung  
oder durch Elektronenstrahlbedampfung aufgedampft ist.

35. Elektronisches Bauteil nach einem der Ansprüche 24 bis  
34, dadurch gekennzeichnet, dass  
die Kopierschutzschicht (4) eine Dicke von 0,01 µm bis  
1000 µm aufweist.

36. Elektronisches Bauteil nach einem der Ansprüche 24 bis  
35, dadurch gekennzeichnet, dass  
das Substrat (1) Anschlussstrukturen (3) aufweist und auf  
einer der ersten Seite (1a) gegenüberliegenden zweiten  
Seite (1b) des Substrats (1) erhabene Anschlusskontakte  
(8) angeordnet sind, wobei die Anschlusskontakte (8) mit  
den Anschlussstrukturen (3) elektrisch verbunden sind.

37. Elektronisches Bauteil nach Anspruch 36,  
dadurch gekennzeichnet, dass  
die zweite Seite (1b) des Substrats (1) zwischen den  
Anschlusskontakten (8) mit Kunststoff (10) beschichtet  
ist, wobei die Anschlusskontakte (8) kontaktierbar  
freiliegen.

38. Elektronisches Bauteil nach Anspruch 36 oder 37,  
dadurch gekennzeichnet, dass  
die zweite Seite (1b) des Substrats (1) zwischen den  
Anschlusskontakten (8) mit Glas (11) beschichtet ist,  
wobei die Anschlusskontakte (8) kontaktierbar freiliegen.

39. Elektronisches Bauteil nach einem der Ansprüche 24 bis  
38, dadurch gekennzeichnet, dass  
das Substrat (1) Anschlussstrukturen aufweist und auf der

ersten Seite (1a) des Substrats (1) erhabene Anschlusskontakte (18) angeordnet sind, wobei die Anschlusskontakte (18) mit den Anschlussstrukturen (3) elektrisch verbunden sind.

5

40. Elektronisches Bauteil nach einem der Ansprüche 24 bis 39, dadurch gekennzeichnet, dass sich die Kopierschutzschicht (4) auf der ersten Seite (1a) des Substrats (1) zwischen Anschlusskontakten (3, 18) erstreckt, wobei die Anschlusskontakte (3, 18) kontaktierbar freiliegen.

10

41. Elektronisches Bauteil nach einem der Ansprüche 24 bis 40, dadurch gekennzeichnet, dass die elektronische Schaltung Entschlüsselungsmittel umfasst.

15

42. Elektronisches Bauteil nach einem der Ansprüche 24 bis 41, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) einen ersten und zweiten Abschnitt (4a, 4b) aufweist, welche unterschiedliche Ätzverhalten besitzen, insbesondere Materialien mit unterschiedlichen Ätzraten umfassen.

20

43. Entschlüsselungsgerät zur Entschlüsselung von verschlüsselten Signalen, insbesondere des Bezahlrundfunks umfassend ein Bauteil nach einem der Ansprüche 24 bis 42.

25

44. Vorrichtung ausgebildet zur Durchführung des Verfahren nach einem der Ansprüche 1 bis 23.

30

45. Verwendung einer Beschichtung auf einer elektronischen Schaltung, welche insbesondere nach einem Verfahren gemäß einem der Ansprüche 1 bis 23 herstellbar ist und/oder ein

35



Bestandteil eines elektronischen Bauteils gemäß einem der Ansprüche 24 bis 42 ist, als Schutz gegen das Freilegen der Schaltung durch Wegätzen der Beschichtung.

(1/9)

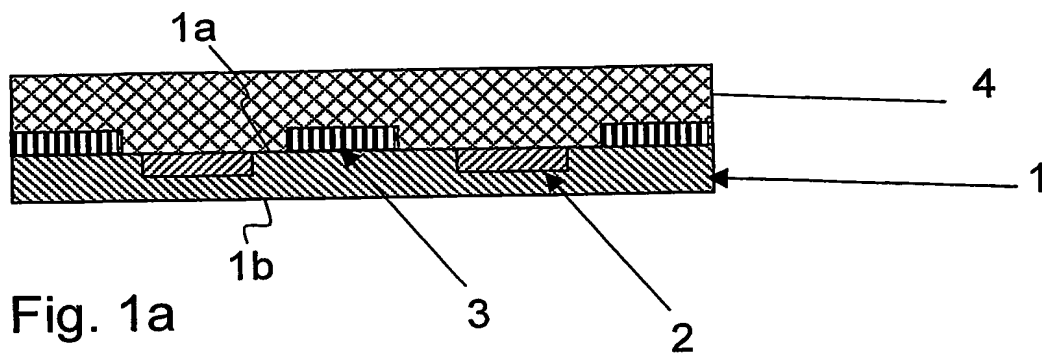


Fig. 1a

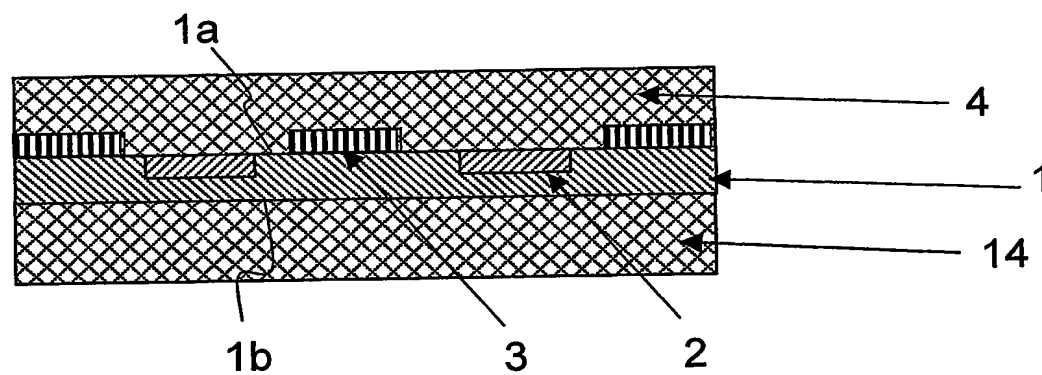


Fig. 1b

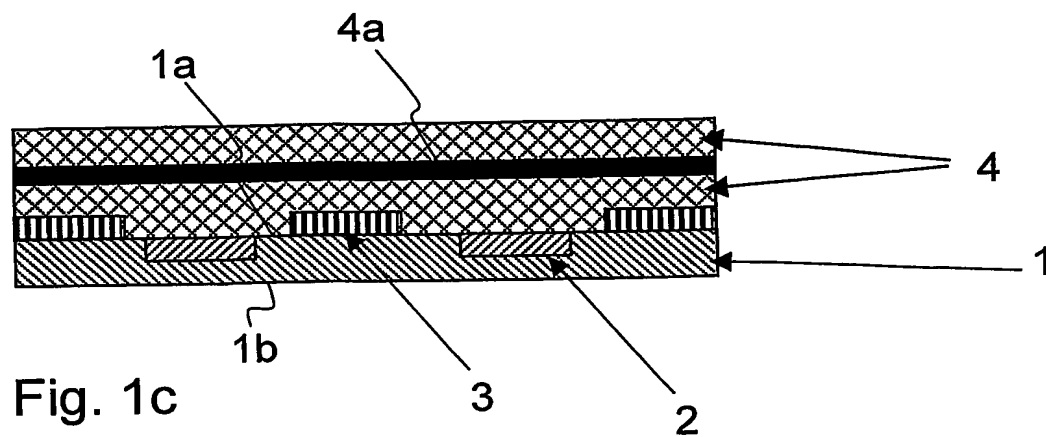
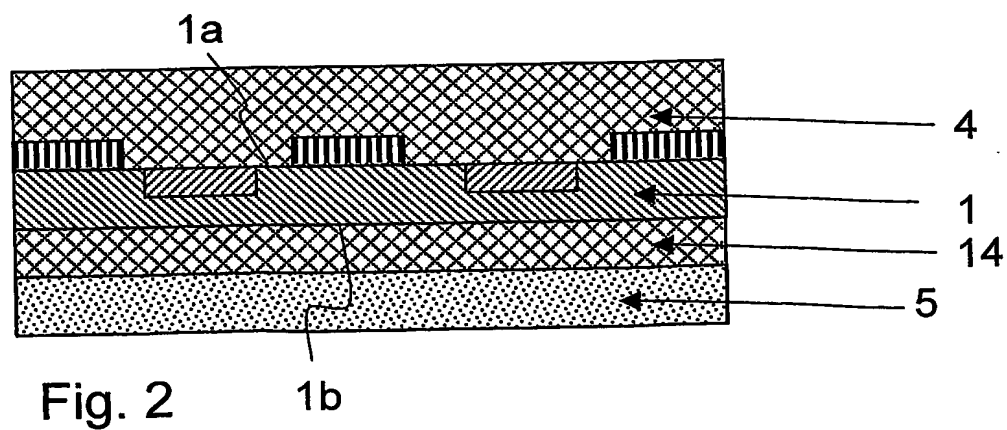
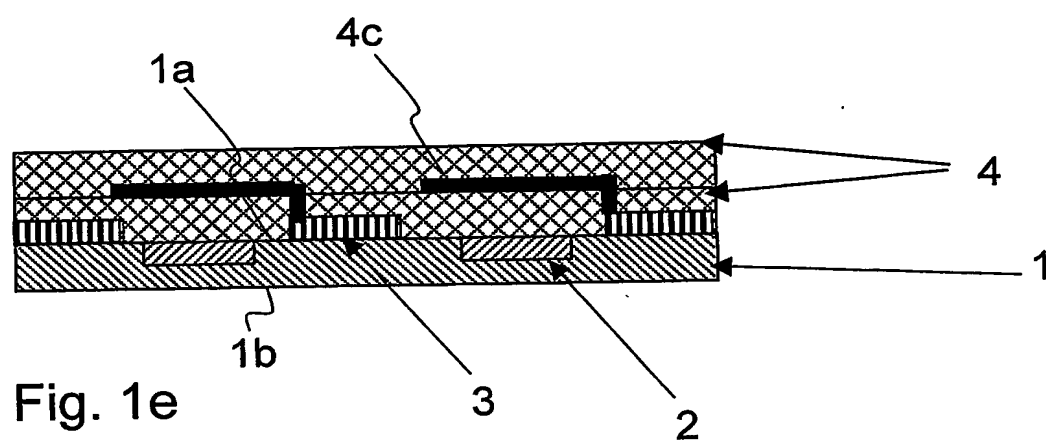
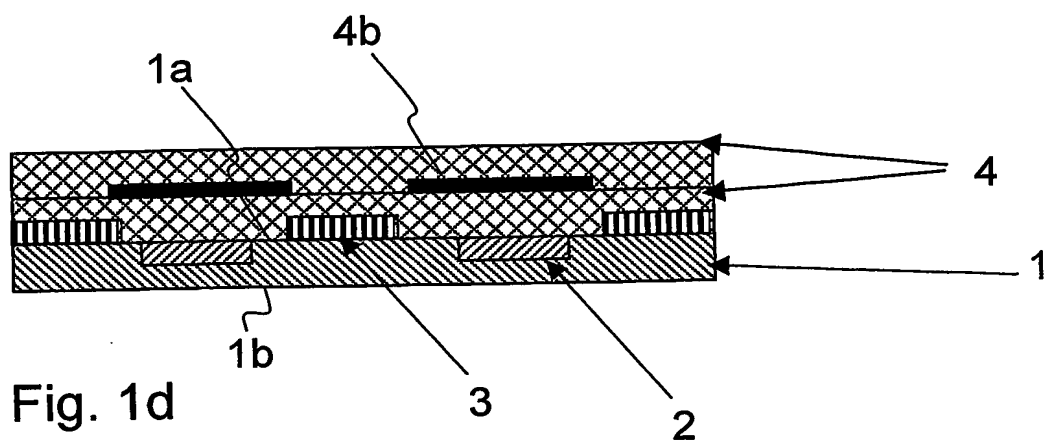
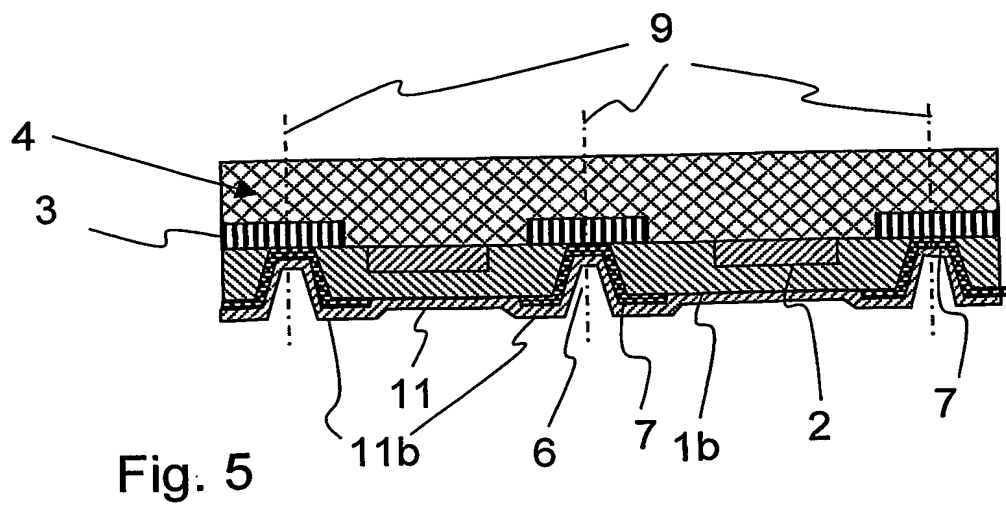
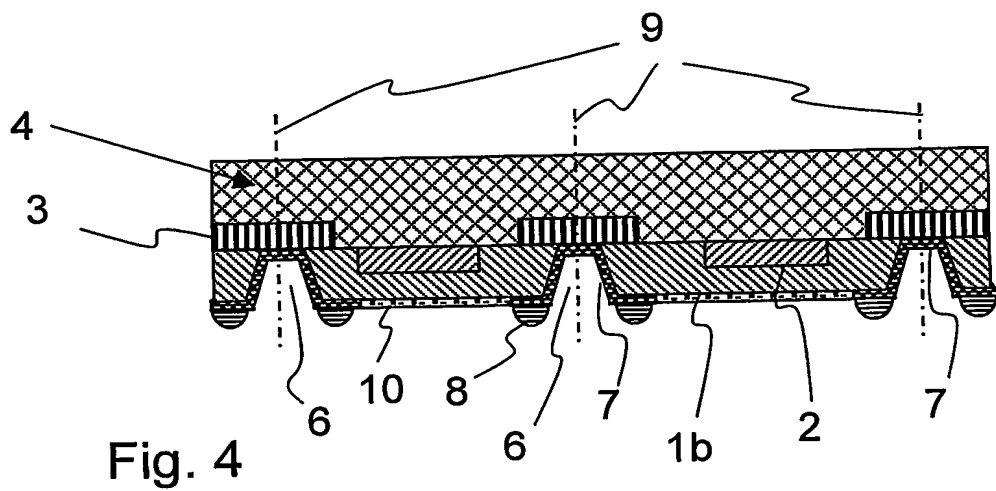
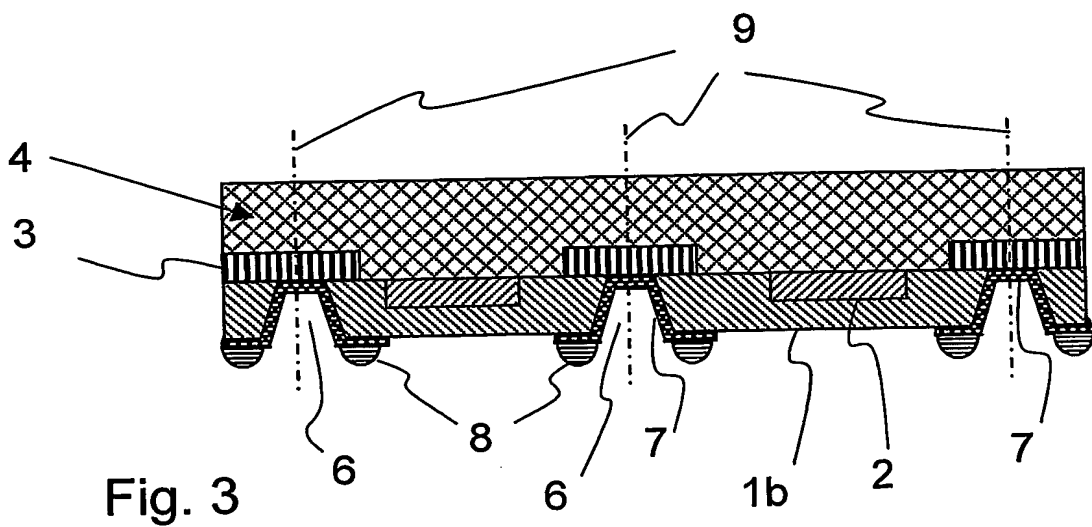


Fig. 1c

(2/9)



(3/9)



(4/9)

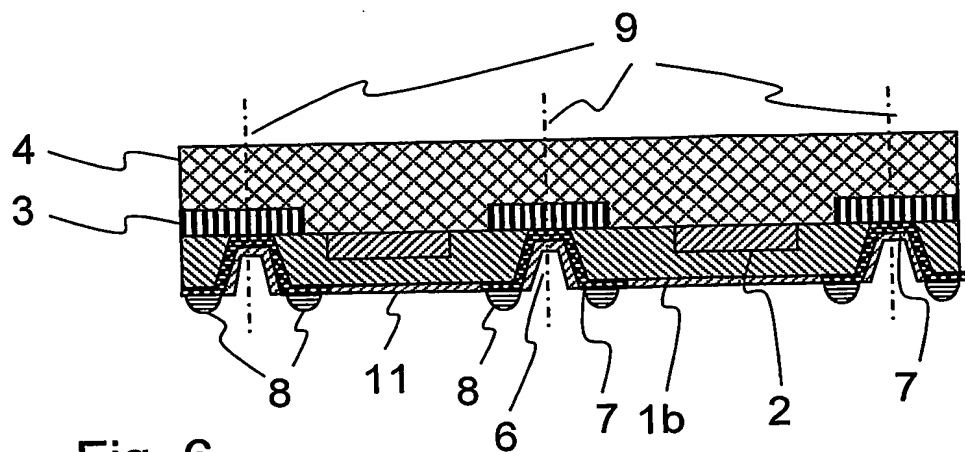


Fig. 6

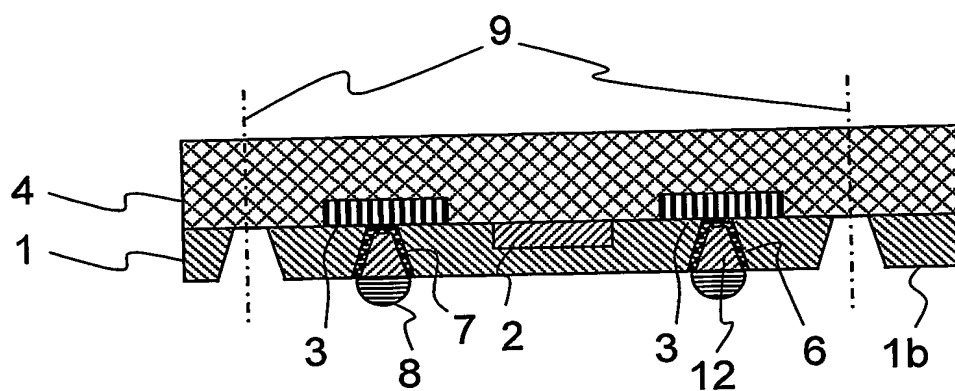


Fig. 7a

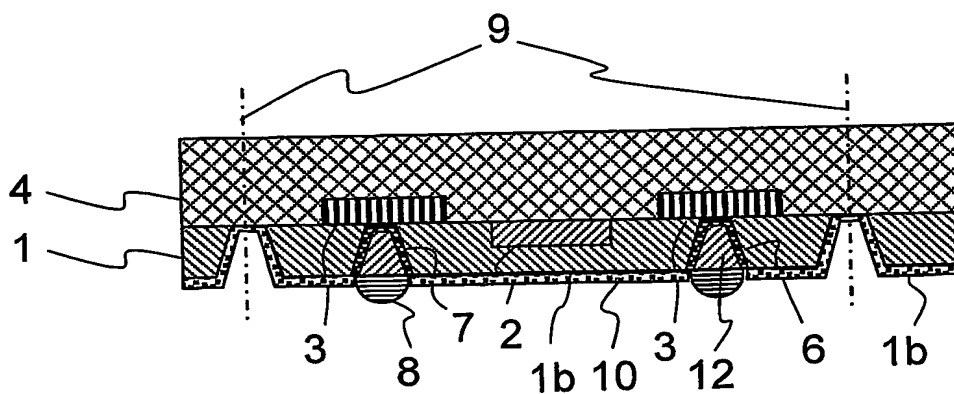


Fig. 7b

(5/9)

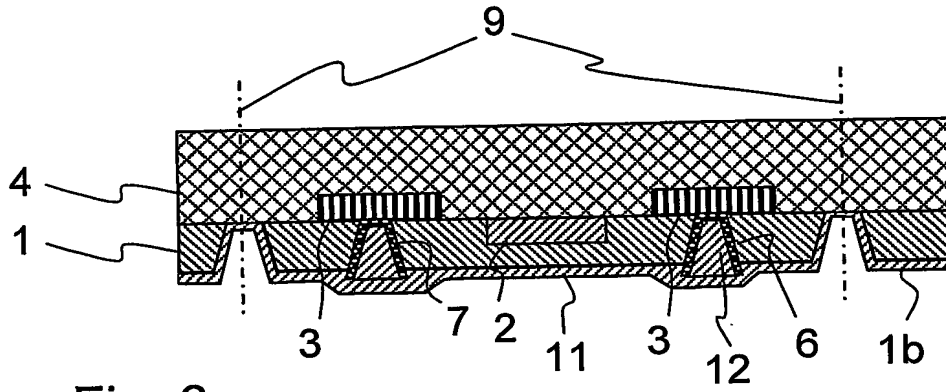


Fig. 8

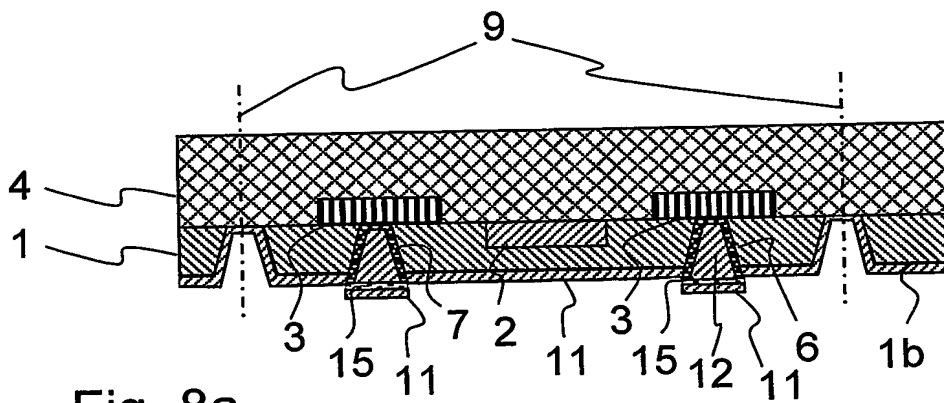


Fig. 8a

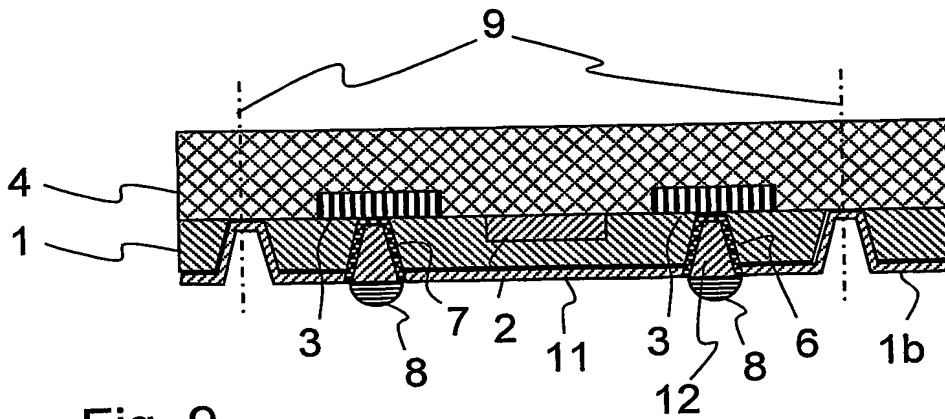
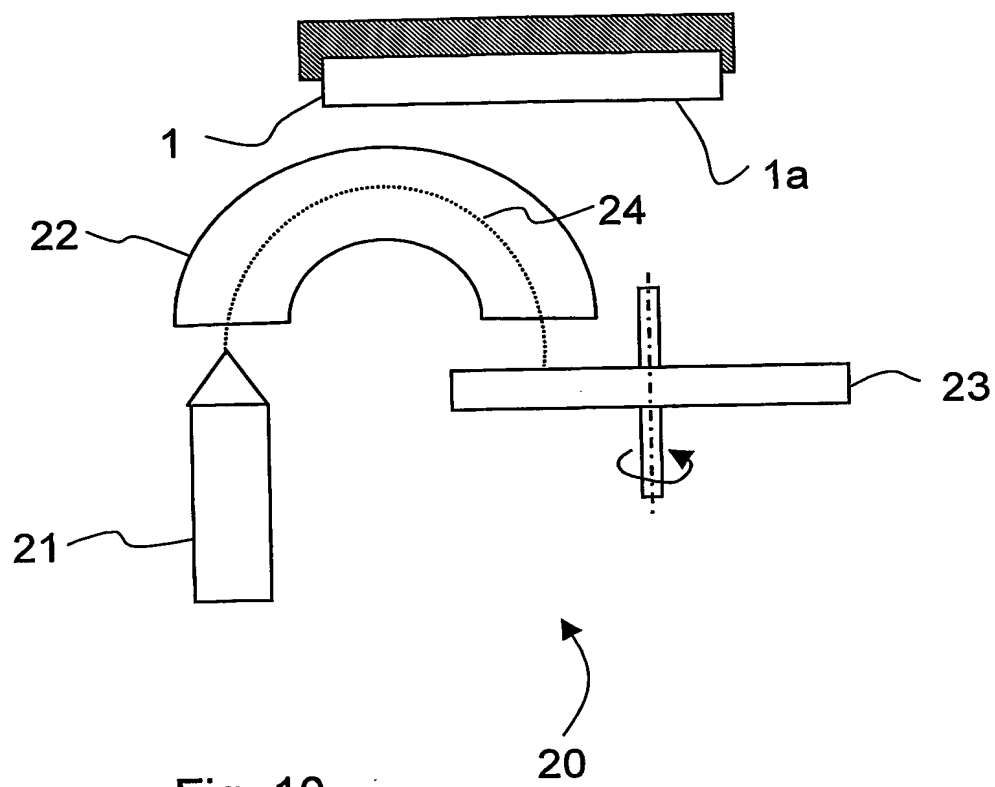
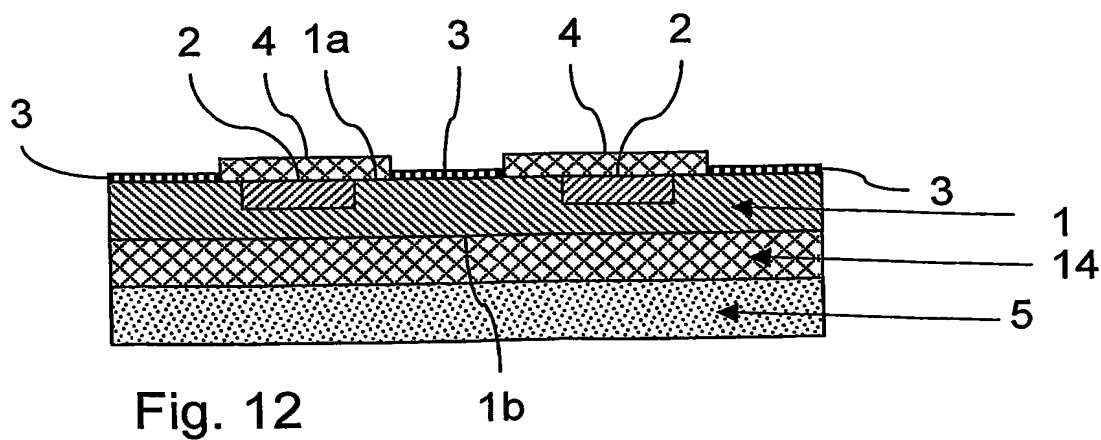
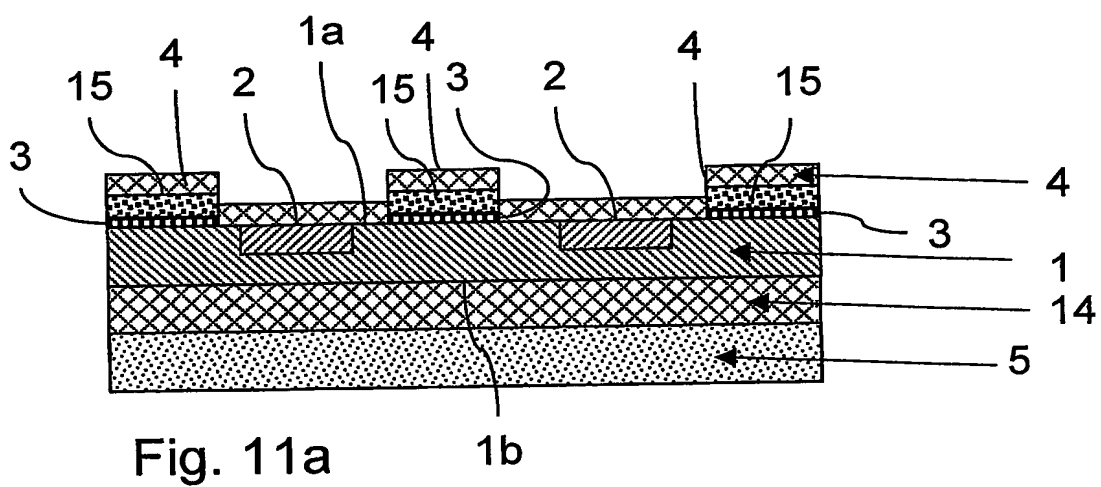
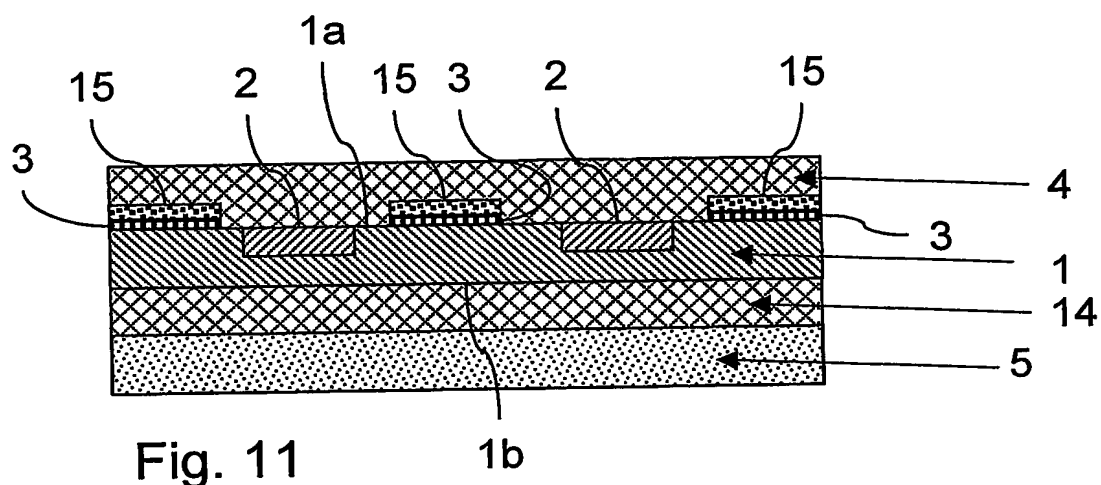


Fig. 9

(6/9)



(7/9)





(8/9)

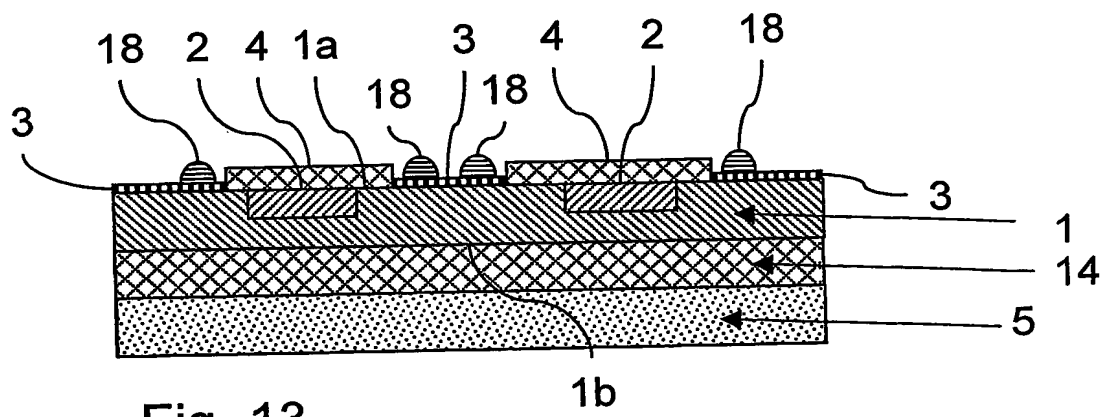


Fig. 13

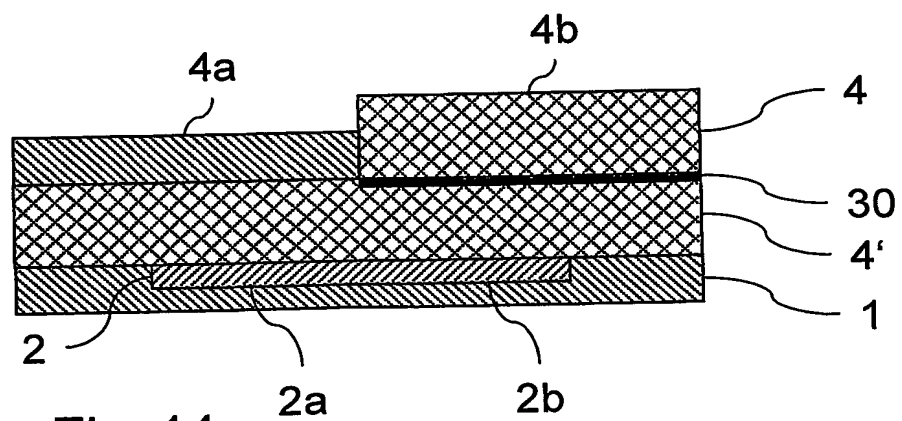


Fig. 14

(9/9)

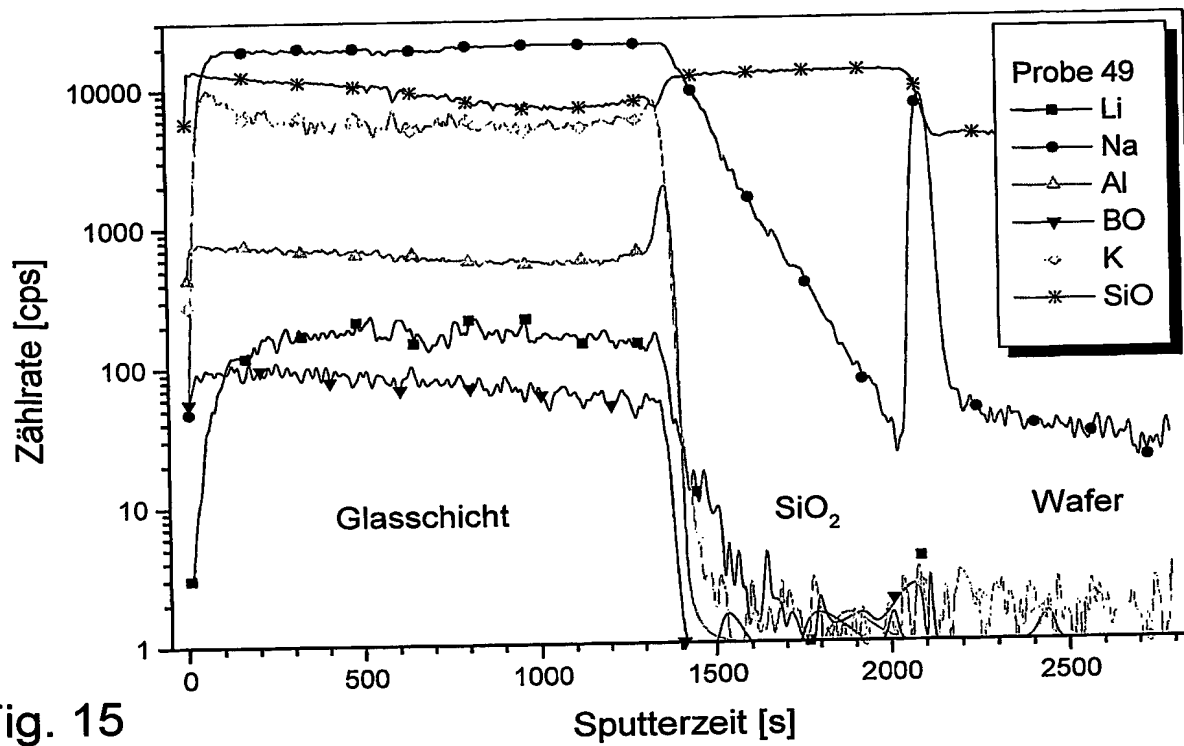


Fig. 15

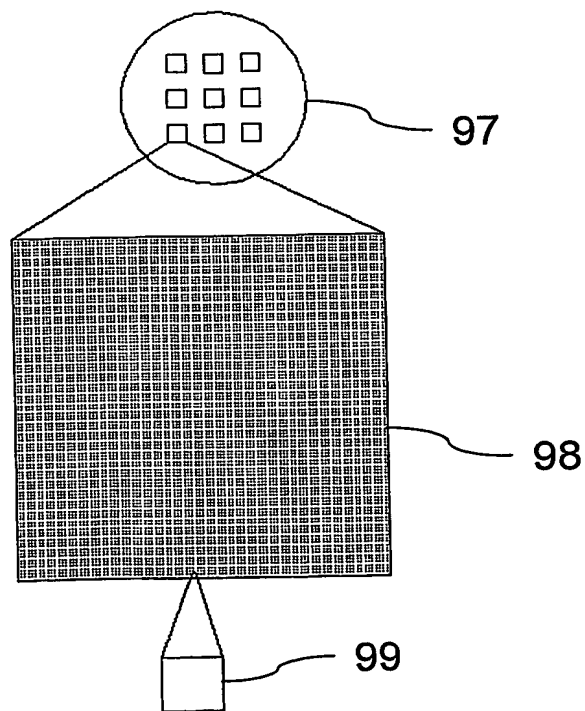


Fig. 16

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
23. Oktober 2003 (23.10.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 2003/088354 A3(51) Internationale Patentklassifikation<sup>7</sup>: H01L 23/58

102 22 609.1 23. Mai 2002 (23.05.2002) DE

(21) Internationales Aktenzeichen: PCT/EP2003/003881

102 52 787.3 13. November 2002 (13.11.2002) DE

103 01 559.0 16. Januar 2003 (16.01.2003) DE

(22) Internationales Anmeldedatum:  
15. April 2003 (15.04.2003)(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
AU, GB, IE, IL, IN, JP, KP, KR, NZ, SG, US, ZA): SCHOTT  
GLAS [DE/DE]; Hattenbergstrasse 10, 55122 Mainz (DE).

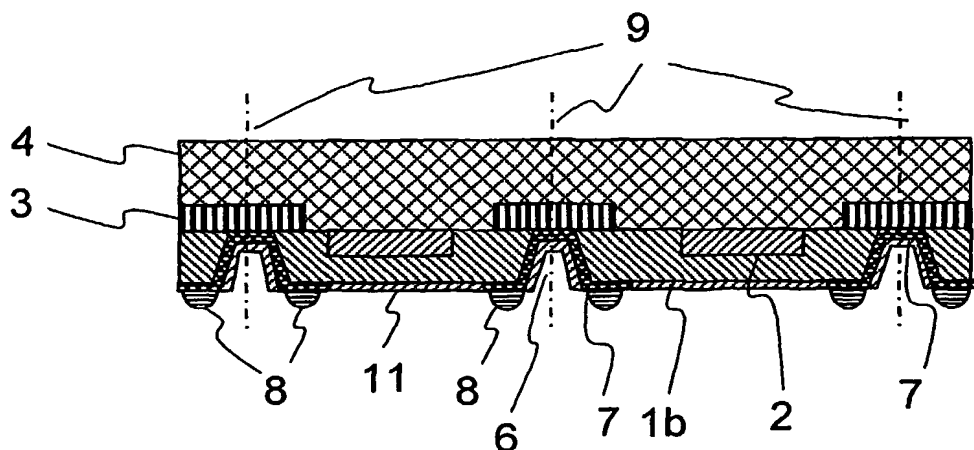
(25) Einreichungssprache: Deutsch

(71) Anmelder (nur für AU, BB, BF, BJ, BZ, CF, CG, CI, CM,  
GA, GB, GD, GE, GH, GM, GN, GQ, GW, IE, IL, IN, KE,  
KG, KP, KR, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW,  
MZ, NE, NZ, SD, SG, SL, SN, SZ, TD, TG, TT, TZ, UG, VN,  
ZA, ZM, ZW): CARL-ZEISS-STIFTUNG TRADING AS  
SCHOTT GLAS [DE/DE]; Hattenbergstrasse 10, 55122  
Mainz (DE).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
202 05 830.1 15. April 2002 (15.04.2002) DE  
102 22 958.9 23. Mai 2002 (23.05.2002) DE  
102 22 964.3 23. Mai 2002 (23.05.2002) DE

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A COPY PROTECTION FOR AN ELECTRONIC CIRCUIT AND CORRESPONDING  
COMPONENT(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES KOPIERSCHUTZES FÜR EINE ELEKTRONISCHE SCHAL-  
TUNG UND ENTSPRECHENDES BAUTEIL

(57) Abstract: The invention relates to a method for producing a copy protection for an integrated circuit. The aim of the invention is to provide an effective and reliable copy protection in order to prevent an unauthorized copying of an integrated circuit. To this end, the invention presents a method comprising the following steps: providing a substrate (1) having semiconductor structures (2) on at least one first side (1a) of the substrate (1); providing a material for coating the substrate (1), and; coating the substrate (1) with a copy protection layer (4). It has been proven advantageous to produce the copy protection layer (4) by vapor depositing a silicate glass so that an etching method, which removes the copy protection layer, also acts upon the substrate (1) whereby at least partially destroying the semiconductor structures (2).

(57) Zusammenfassung: Die Erfindung betrifft Verfahren zur Herstellung eines Kopierschutzes für eine integrierte Schaltung. Um das unberechtigte Kopieren eines integrierten Schaltkreises zu vermeiden, ist es eine Aufgabe der Erfindung einen wirksamen und sicheren Kopierschutz zur Verfügung zu stellen. Es wird ein Verfahren vorgeschlagen, umfassend die Schritte Bereitstellen eines Substrats

[Fortsetzung auf der nächsten Seite]



(71) **Anmelder** (nur für BB, BF, BJ, BZ, CF, CG, CI, CM, GA, GD, GE, GH, GM, GN, GQ, GW, JP, KE, KG, KZ, LC, LK, LR, LS, MG, ML, MN, MR, MW, MZ, NE, SD, SL, SN, SZ, TD, TG, TT, TZ, UG, VN, ZM, ZW): **CARL-ZEISS-STIFTUNG** [DE/DE]; 89518 Heidenheim an der Brenz (DE).

(72) **Erfinder; und**

(75) **Erfinder/Anmelder** (nur für US): **MUND, Dietrich** [DE/DE]; Buchenstrasse 9, 84101 Obersüßbach (DE). **LEIB, Jürgen** [DE/DE]; Philipp-Dirr-Strasse 44, 85354 Freising (DE).

(74) **Anwalt: HERDEN, Andreas**; Blumbach, Kramer & Partner GbR, Alexandrastrasse 5, 65187 Wiesbaden (DE).

(81) **Bestimmungsstaaten (national)**: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD,

SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten (regional)**: ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(88) **Veröffentlichungsdatum des internationalen**

**Recherchenberichts:**

25. März 2004

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(1), welches Halbleiterstrukturen (2) auf zumindest einer ersten Seite (1a) des Substrats (1) aufweist, Bereitstellen eines Materials zur Beschichtung des Substrats (1), Beschichten des Substrats (1) mit einer Kopierschutzschicht (4). Es hat sich als besonders vorteilhaft erwiesen, die Kopierschutzschicht (4) durch Aufdampfen eines silikatischen Glases zu erzeugen, da so ein Ätzverfahren, welches die Kopierschutzschicht auflöst, ebenfalls das Substrat (1) derart angreift, dass die Halbleiterstrukturen (2) zumindest teilweise zerstört werden.

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP 03/03881

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L23/58

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EP0-Internal, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 178 529 A (SHARP KK) 6 February 2002 (2002-02-06)	1-4,7,9, 11, 24-28, 31,33, 35,42, 43,45
Y	column 5, line 36 - column 9, line 38; figures 1,3	6,14,15, 30
X	US 4 374 391 A (CAMLIBEL IRFAN ET AL) 15 February 1983 (1983-02-15)  column 2, line 32 - column 6, line 63; figure 3	1-3,5,7, 8,10,11, 13, 24-27, 29,31, 32,34, 35,43-45

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

28 October 2003

Date of mailing of the international search report

16.01.2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Neumann, A

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/03881

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CH 387 175 A (WESTERN ELECTRIC CO) 31 January 1965 (1965-01-31)	1-5,7,8, 10,11, 24-29, 31,32, 34,35, 43-45
Y	page 1, line 1 - page 12, line 9; claim 11 -----	6,30
X	US 6 268 058 B1 (TAHON JEAN-PIERRE ET AL) 31 July 2001 (2001-07-31)	1,4,5,8, 11, 23-25, 28,29, 32,35, 41,43,45
	abstract; figure 8 column 3, line 46 - column 8, line 49 -----	
X	US 5 436 084 A (HALUSKA LOREN A ET AL) 25 July 1995 (1995-07-25)	1
Y	column 1, line 46 - column 5, line 38 -----	6,30
Y	EP 1 139 424 A (SHARP KK ;NIPPON TELEGRAPH & TELEPHONE (JP)) 4 October 2001 (2001-10-04) paragraph [0054] - paragraph [0066]; figure 1A -----	14,15

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP 03/03881

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

**see additional sheet**

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**1-15, 23-35, 41-45**

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

The International Searching Authority has determined that this international application contains more than one invention or group of inventions, namely:

1. claims 1-15, 23-35, 41-45

production and use of anti-copy protection and component comprising anti-copy protection;

2. claims 16-22, 36-40

attachment of electrical contacts to a substrate.



# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/03881

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1178529	A	06-02-2002	JP 2001345427 A EP 1178529 A2 US 6545371 B1	14-12-2001 06-02-2002 08-04-2003
US 4374391	A	15-02-1983	NONE	
CH 387175	A	31-01-1965	US 2961350 A GB 923338 A DE 1179277 B FR 1226008 A NL 238657 A	22-11-1960 10-04-1963 08-10-1964 06-07-1960
US 6268058	B1	31-07-2001	AT 219725 T AU 739285 B2 AU 1152799 A AU 751890 B2 AU 9539098 A CA 2304576 A1 CA 2306044 A1 DE 69806263 D1 WO 9921707 A1 WO 9921708 A1 EP 1024952 A1 EP 1024953 A1 JP 11259914 A JP 2001520950 T JP 2001520951 T US 6287674 B1 US 6120907 A US 6309901 B1 EP 0972632 A1 JP 2000057306 A	15-07-2002 11-10-2001 17-05-1999 29-08-2002 17-05-1999 06-05-1999 06-05-1999 01-08-2002 06-05-1999 06-05-1999 09-08-2000 09-08-2000 24-09-1999 06-11-2001 06-11-2001 11-09-2001 19-09-2000 30-10-2001 19-01-2000 25-02-2000
US 5436084	A	25-07-1995	EP 0677871 A2 JP 7323224 A	18-10-1995 12-12-1995
EP 1139424	A	04-10-2001	JP 2001284402 A EP 1139424 A2 TW 495932 B US 2001028115 A1	12-10-2001 04-10-2001 21-07-2002 11-10-2001

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/03881

**A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H01L23/58

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 1 178 529 A (SHARP KK) 6. Februar 2002 (2002-02-06)	1-4,7,9, 11, 24-28, 31,33, 35,42, 43,45
Y	Spalte 5, Zeile 36 - Spalte 9, Zeile 38; Abbildungen 1,3	6,14,15, 30
X	US 4 374 391 A (CAMLIBEL IRFAN ET AL) 15. Februar 1983 (1983-02-15)	1-3,5,7, 8,10,11, 13, 24-27, 29,31, 32,34, 35,43-45
	Spalte 2, Zeile 32 - Spalte 6, Zeile 63; Abbildung 3	
	----- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

28. Oktober 2003

Absendedatum des internationalen Recherchenberichts

16.01.2004

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Neumann, A

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	CH 387 175 A (WESTERN ELECTRIC CO) 31. Januar 1965 (1965-01-31)	1-5,7,8, 10,11, 24-29, 31,32, 34,35, 43-45 6,30
Y	Seite 1, Zeile 1 - Seite 12, Zeile 9; Anspruch 11 -----	
X	US 6 268 058 B1 (TAHON JEAN-PIERRE ET AL) 31. Juli 2001 (2001-07-31)	1,4,5,8, 11, 23-25, 28,29, 32,35, 41,43,45
	Zusammenfassung; Abbildung 8 Spalte 3, Zeile 46 - Spalte 8, Zeile 49 -----	
X	US 5 436 084 A (HALUSKA LOREN A ET AL) 25. Juli 1995 (1995-07-25)	1
Y	Spalte 1, Zeile 46 - Spalte 5, Zeile 38 -----	6,30
Y	EP 1 139 424 A (SHARP KK ;NIPPON TELEGRAPH & TELEPHONE (JP)) 4. Oktober 2001 (2001-10-04) Absatz [0054] - Absatz [0066]; Abbildung 1A -----	14,15

**Feld I Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)**

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.  
weil sie sich auf Gegenstände beziehen, zu deren Recherche die Behörde nicht verpflichtet ist, nämlich
2. ☐ Ansprüche Nr.  
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich
3. ☐ Ansprüche Nr.  
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefaßt sind.

**Feld II Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)**

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.
2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung einer solchen Gebühr aufgefordert.
3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.
4. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfaßt:  
1-15, 23-35, 41-45

**Bemerkungen hinsichtlich eines Widerspruchs**

- ☐ Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
- ☐ Die Zahlung zusätzlicher Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-15, 23-35, 41-45

Herstellung und Verwendung eines Kopierschutzes und  
Bauelement mit einem Kopierschutz  
---

2. Ansprüche: 16-22, 36-40

Anbringen von elektrischen Kontakten an einem Substrat  
---

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/03881

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 1178529 A	06-02-2002	JP 2001345427 A EP 1178529 A2 US 6545371 B1	14-12-2001 06-02-2002 08-04-2003
US 4374391 A	15-02-1983	KEINE	
CH 387175 A	31-01-1965	US 2961350 A GB 923338 A DE 1179277 B FR 1226008 A NL 238657 A	22-11-1960 10-04-1963 08-10-1964 06-07-1960
US 6268058 B1	31-07-2001	AT 219725 T AU 739285 B2 AU 1152799 A AU 751890 B2 AU 9539098 A CA 2304576 A1 CA 2306044 A1 DE 69806263 D1 WO 9921707 A1 WO 9921708 A1 EP 1024952 A1 EP 1024953 A1 JP 11259914 A JP 2001520950 T JP 2001520951 T US 6287674 B1 US 6120907 A US 6309901 B1 EP 0972632 A1 JP 2000057306 A	15-07-2002 11-10-2001 17-05-1999 29-08-2002 17-05-1999 06-05-1999 06-05-1999 01-08-2002 06-05-1999 06-05-1999 09-08-2000 09-08-2000 24-09-1999 06-11-2001 06-11-2001 11-09-2001 19-09-2000 30-10-2001 19-01-2000 25-02-2000
US 5436084 A	25-07-1995	EP 0677871 A2 JP 7323224 A	18-10-1995 12-12-1995
EP 1139424 A	04-10-2001	JP 2001284402 A EP 1139424 A2 TW 495932 B US 2001028115 A1	12-10-2001 04-10-2001 21-07-2002 11-10-2001

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS



☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT



☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**